

Arquitetura de Sistemas Embarcados

Edna Barros (ensb@cin.ufpe.br)



Centro de Informática – UFPE

Overview

- Processador Xscale (Intel) baseado no ARM
- Processador Intel PXA250

Núcleos de Processadores ARM

- Os núcleos baseados no ARM permitem soluções em plataformas para aplicações wireless e de processamento de imagem
- São usados para: aplicações de armazenamento, aplicações automotivas, aplicações de rede e industriais; e aplicações seguras para smart cards e SIM cards.
- Core Xscale da Intel usa um núcleo do ARM.

Arquitetura XScale da Intel

- A micro-arquitetura XScale™ da Intel possui núcleo compatível com ARM versão 5TE
- A micro-arquitetura se baseia no Strong ARM da Intel e é manufaturada usando o processo de 0.18-micro
- Projetado para otimizar consumo de potencia garantindo desempenho para aplicações sem fio e de rede.

Arquitetura XScale da Intel

- Frequencia de operação: 400MHz
- Frequencia pode ser ajustada para velocidade inferior (redução de consumo de potencia)
- Exemplo:
 - Apresentação multimidia requer alto desempenho
 - Processamento de texto requer desempenho menor
 - Modos de alto e baixo desempenho podem ser chaveados

Arquitetura XScale da Intel

- Baixo consumo: 0.001 ~ 1.6 watts
- Desempenho: ~1 GHz.
- Core XScale utilizado em Pocket PC's incluindo: Toshiba e740, Dell Axim e iPAQ 3950, 3970 e 5450.
- A micro-arquitetura inclui núcleo ARM com unidade de gerenciamento de memória, cache de dados e de instruções e interface com coprocessador.

Arquitetura XScale da Intel

- O núcleo Intel XScale inclui extensões do ARM tais como:
 - Instruções Thumb (ARM V5T) para redução do tamanho do código
 - Extensões para processamento de sinal para adicionar funcionalidades de DSP
- O núcleo implementa o repertório de instruções de inteiros do ARM V5, mas não suporta instruções de ponto-flutuante

Modelo de Programação

- A micro-arquitetura Intel Xscale™ usa o modelo de programação do ARM* Versão 5TE ISA, o qual suporta tipos de dados de 8-, 16- e 32-bits
- Possui 7 modos de operação: user, system, supervisor, abort, undefined instruction, fast interrupt e normal interrupt.
- A micro-arquitetura possui 16 registradores de propósito geral de 32 bits (R0-R15). O R13 é o stack pointer (SP), o R14 é o registrador de endereço de retorno e o R15 é o PC (program counter).

Opções de implementação do ARM XScale

- O núcleo Intel XScale™ suporta as duas representações dos dados: big e little endian.
- Um bit do registrador de controle (Coprocessor 15, register 1, bit 7) seleciona o modo big ou little endian.
- O núcleo Intel® XScale™ suporta instruções Thumb porém não suporta codificação com 26 bits

Extensão de Repertório de Instruções para DSP

- O núcleo Intel XScale™ inclui um conjunto de instruções para processamento de sinais permitindo a execução de aplicações multimídia com alto desempenho.
- Instruções de multiplicação com dados de 16 bits e instruções de saturação
- Algumas das novas instruções:
 - SMLAxy $32 \leq 16 \times 16 + 32$
 - SMLAWy $32 \leq 32 \times 16 + 32$

Extensão de Repertório de Instruções para DSP

- SMLALxy $64 \leq 16 \times 16 + 64$
- SMULxy $32 \leq 16 \times 16$
- SMULWxy $32 \leq 32 \times 16$
- QADD adiciona dois registradores e satura o resultado no caso de overflow
- QDADD duplica e satura um dos registradores, adiciona e depois satura
- QSUB subtrai dois registradores e satura o resultado no caso de overflow
- QDSUB duplica e satura um dos registradores de entrada então subtrai e satura resultado

Instruções adicionais ao ARM

- BKPT - Breakpoint por software
- BLX - Branch with Link and Exchange (chaveia para modo Thumb)
- LDM/LDR - carrega PC da memória ou de registrador podendo chavear para modo Thumb
- MAR - Move acumulador de 40 bits (CP0) para dois registradores ARM
- MRA - Move 2 registradores ARM para acumulador de 40 bits (CP0)
- LDRD - Carrega dois registradores da memória
- STRD - Armazena dois registradores na memória
- PLD - Carregamento antecipado de blocos de cache

Aplicações do Núcleo Xscale

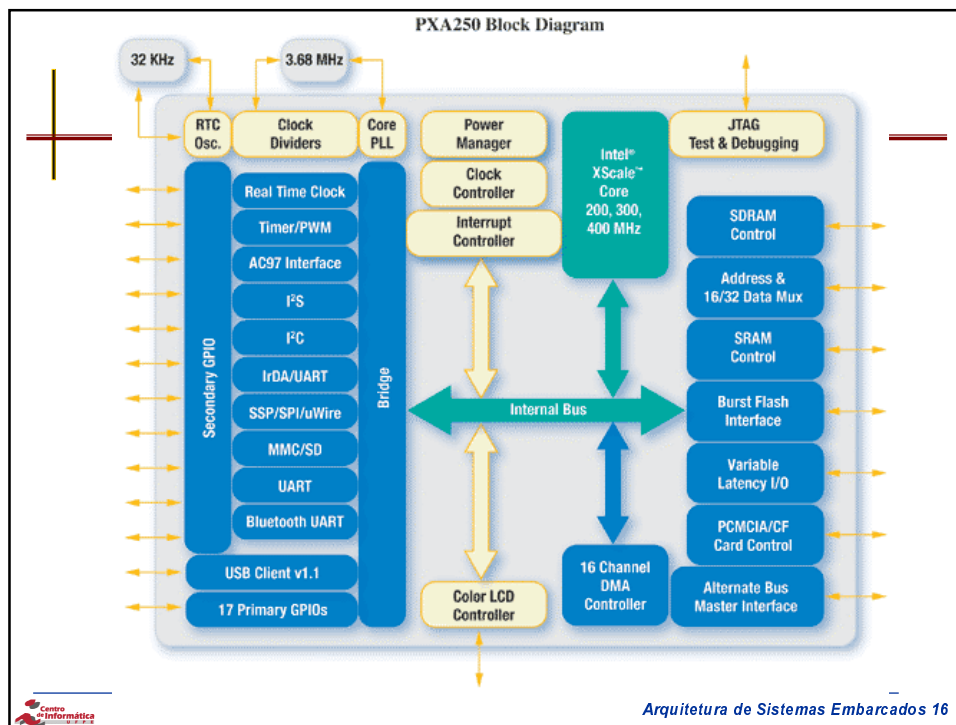
- A micro-arquitetura pode ser combinada com outros periféricos
- Periféricos mais usados:
 - Controlador LCD
 - Controlador multimidia
 - Controlador de memória externa
- Aplicações: projeto de equipamentos portáteis que executam aplicações multimidia.

Aplicações do Núcleo Xscale

- Outros exemplos: núcleo + interface PCI, controladores de memória e processadores de rede.
- Processadores com Arquitetura Intel PCA (The Intel Personal Internet Client Architecture) e tecnologia Intel XScale tem permitido acréscimo de funcionalidade em dispositivos portáteis.

Processador Intel PXA250 com Tecnologia Intel Xscale

- Os processadores PXA250 e PXA210 consistem num SOC (system-on-a-chip) para equipamentos portáteis com baixo consumo
- Incorporam tecnologia Intel XScale™ com escalonamento da frequência on-the-fly permitindo gerenciamento refinado da frequência com um bom desempenho
- Separação dos subsistemas de comunicação e computação para desenvolvimento concorrente do hardware e software de equipamentos sem fio.

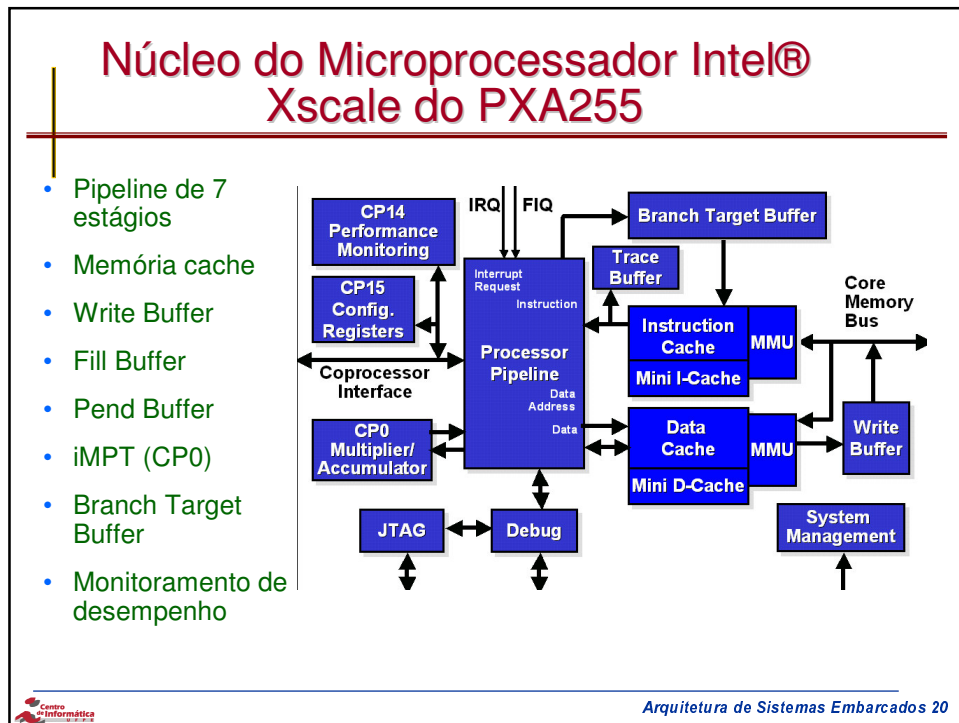
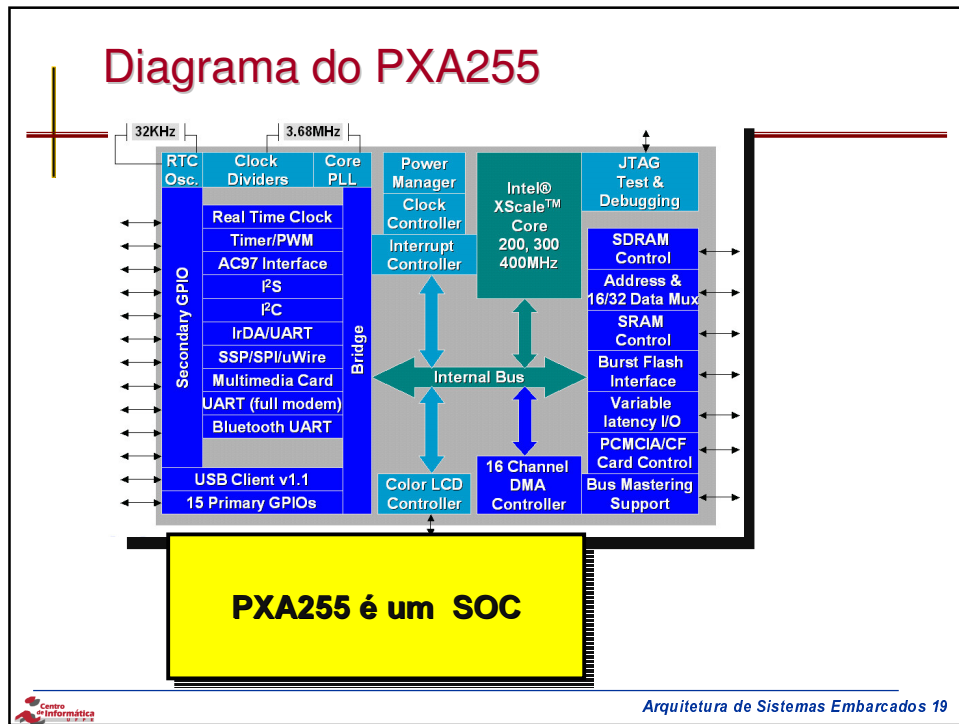


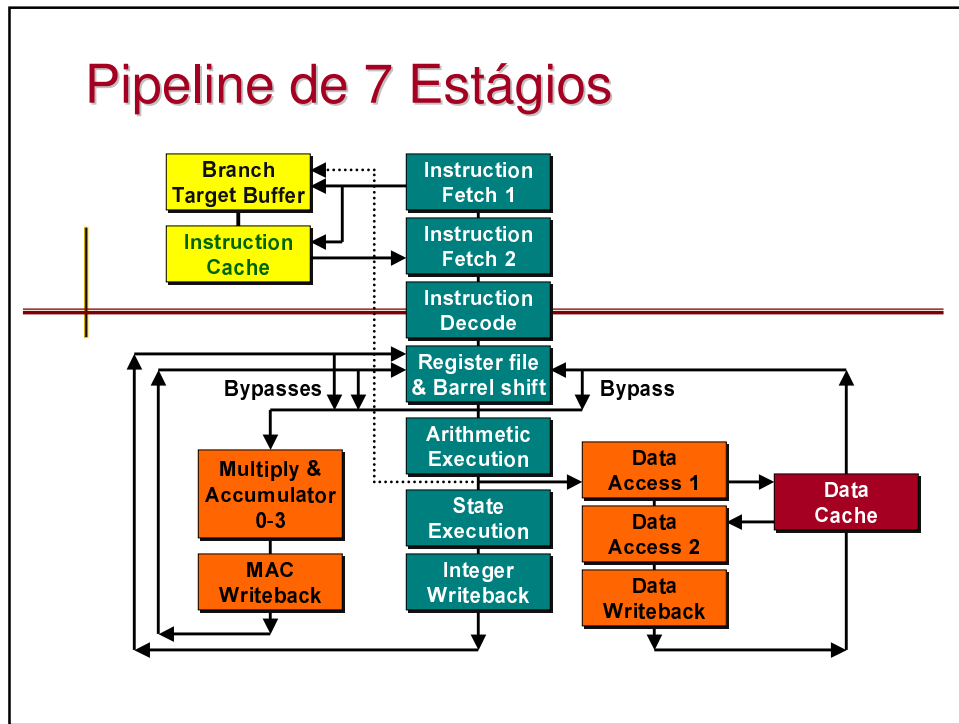
Intel PXA250

- O processador Intel PXA250 possui um grande número de periféricos:
 - Controlador de memória
 - Barramento serial e paralelo
 - Links para comunicação wireless
 - Expansion cards
 - E mais....

Intel PXA250

- A arquitetura Intel PCA é uma arquitetura com potencial para projeto de dispositivos móveis de alto desempenho e baixo consumo combinando comunicação de voz e acesso a internet
- Aplicações:
 - Telefones celulares
 - PDAs
 - Etc...






Características da Cache de Dados do PXA255

- Cache de Dados
 - Buffers para Leituras/Escritas
- Compatibiliza desempenho CPU/Memória

The diagram shows the data cache architecture. It includes a Mini D-Cache, a Data Cache (circled in red), an MMU, and Sy Mana. Arrows indicate data flow between these components.



Arquitetura de Sistemas Embarcados 22

Organização da Cache do PXA255

- 32K Data cache
- 32 bytes por linha de cache
- 32 conjuntos/ 32 ways
- Alinhamento de 32 bytes
- Política de Substituição:
 - Round Robin

Arquitetura de Sistemas Embarcados 23

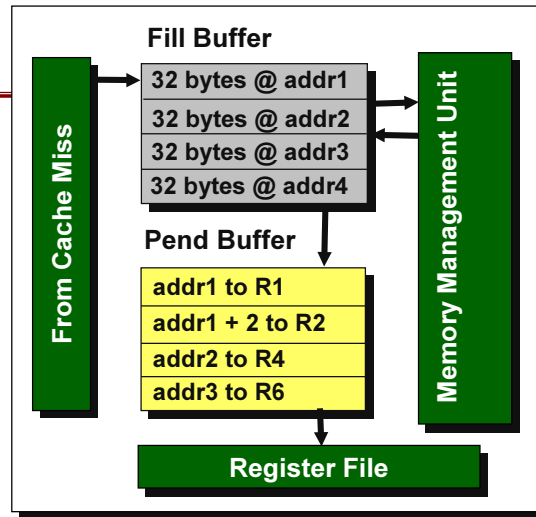
Fill Buffer

- Cache pode trabalhar independente da MMU
- Armazena 4 cache lines
- Hit-Under-Miss

Arquitetura de Sistemas Embarcados 24

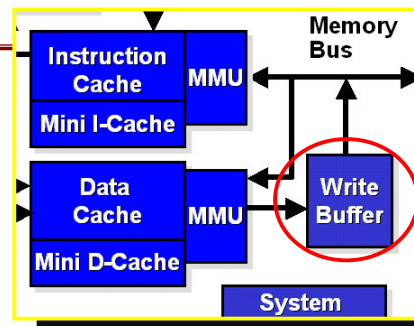
Pend Buffer

- Load/Stores para cache que estão pendentes no fill buffer possuem tags no pend buffer
- Obedece a ordem de execução
- 4 Entradas



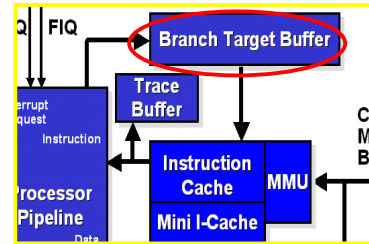
Write Buffer

- 8 entradas, cada uma com 16 bytes
- Cada entrada é alinhada (16 bytes)



Branch Target Buffer

- Branch Target Buffer (BTB)
 - Cache de mapeamento direto
 - 128 entradas
- Instruções com predição B e BL
- 2 Bits para armazenamento do estado do desvio



Referencias Bibliográficas

- Intel® PXA250 and PXA210 Application Processors Optimization Guide
 - Optimization CD, PCADN
- ARM Architecture Reference Manual – David Seal, Editor
 - Addison-Wesley
- The Software Optimization Cookbook – by Richard Gerber
 - Intel Press