



Prototipação de Sistemas Digitais

Introdução à Disciplina

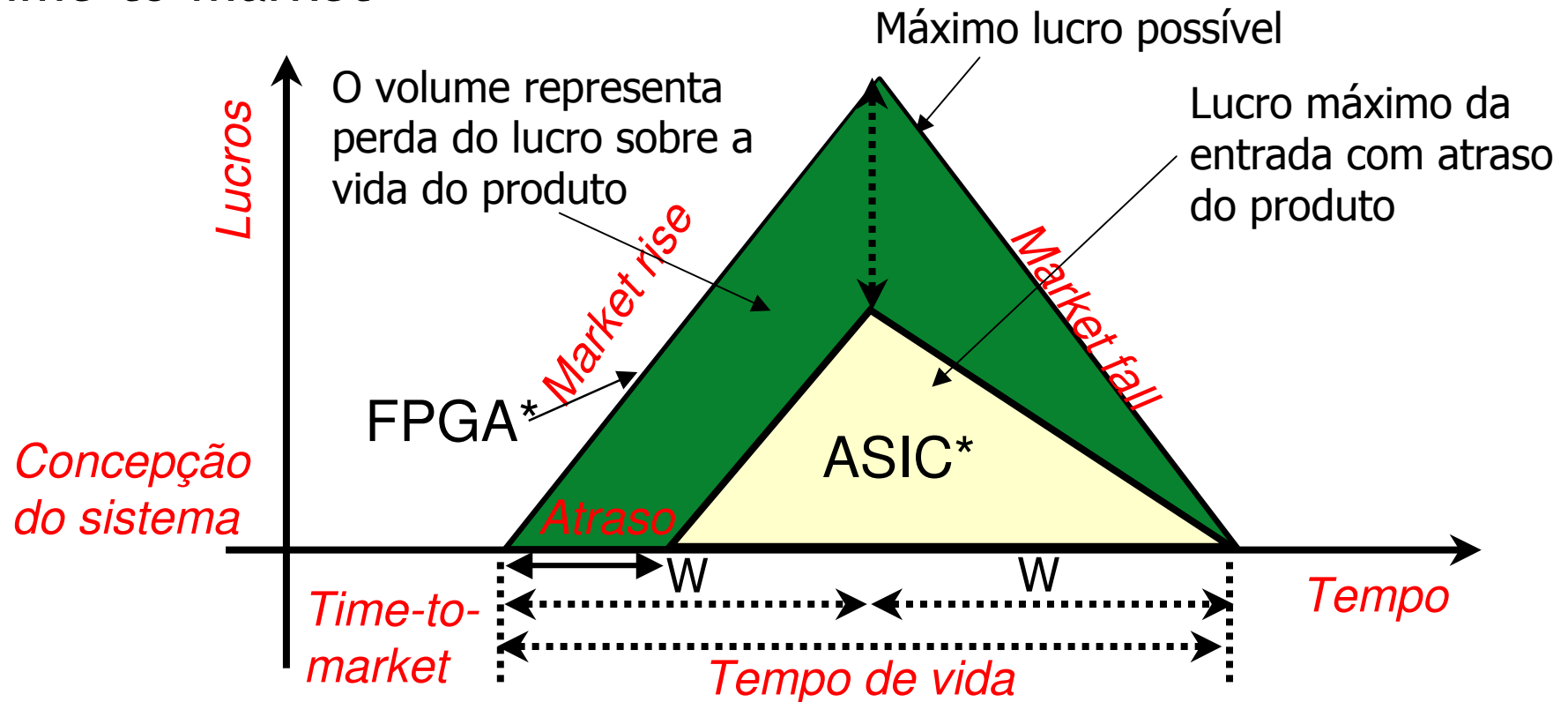
Cristiano Araújo



Agenda

- Custos de Projeto Utilizando-se Circuitos Integrados
- ASIC x FPGA

Time-to-market



O percentual de perda de lucro, do lucro possível, é dado pela área do maior retângulo menos a área do menor retângulo.

Time-to-market

- ❑ Em um mercado competitivo, qualquer atraso incorpora perda da parte deste mercado:
 - Perda da janela de mercado
 - Atraso para lançamento em função do longo ciclo de desenvolvimento
 - O efeito da perda em lucro devido o atraso no lançamento do produto é maior que aquele custo de desenvolvimento

Lei de Moore

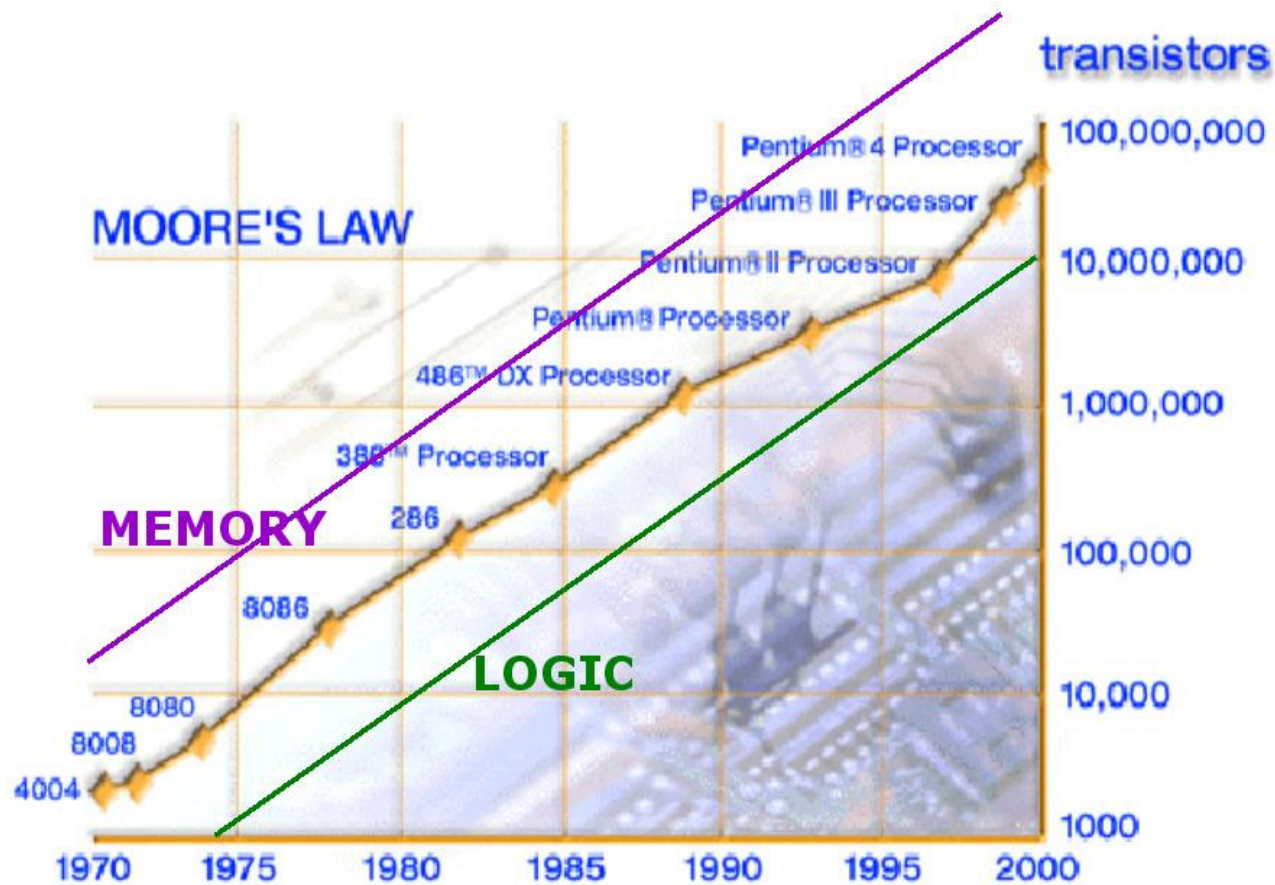
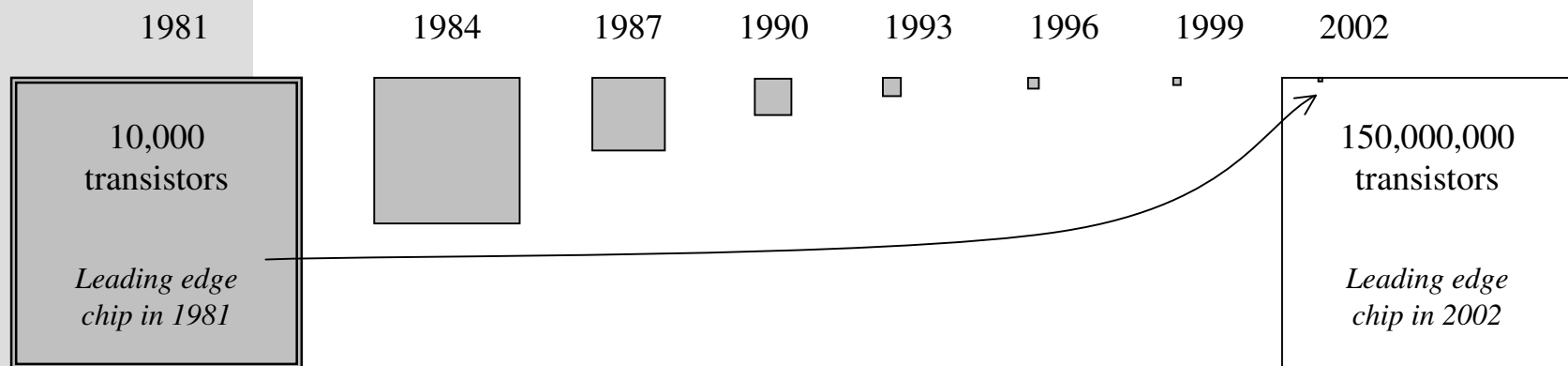


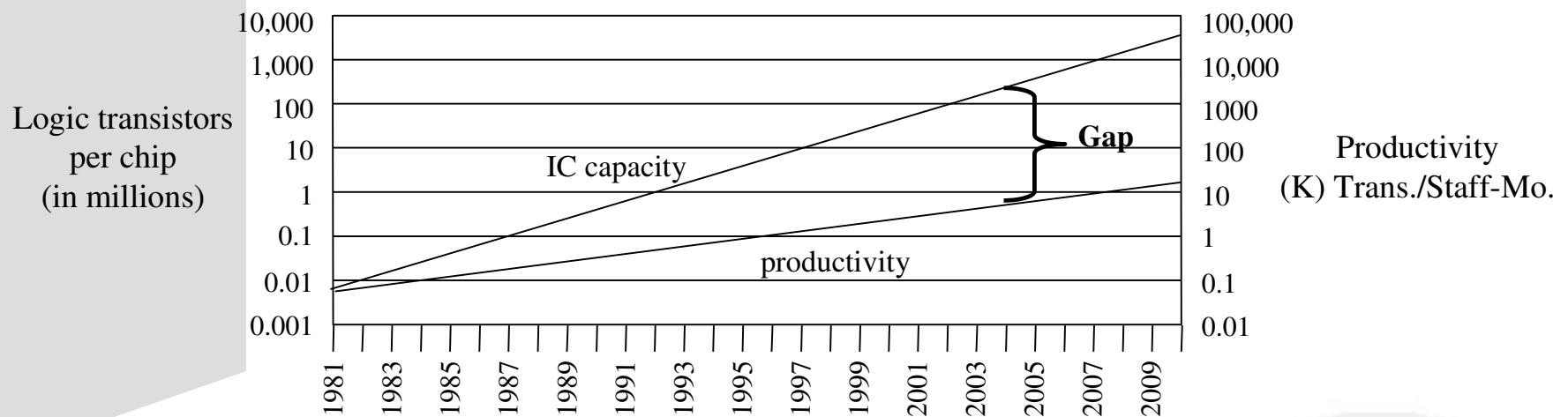
Ilustração Gráfica da Lei de Moore



- Algo que duplica de tamanho com frequencia cresce mais rápido do que muita gente imagina
 - Em 2002 um chip pode conter aproximadamente 15.000 chips de 1981

Gap de Produtividade de Projeto

- 1981 leading edge chip required 100 designer months
 - 10,000 transistors / 100 transistors/month
- 2002 leading edge chip requires 30,000 designer months
 - 150,000,000 / 5000 transistors/month
- Designer cost increase from \$1M to \$300M



Circuitos Integrados são caros

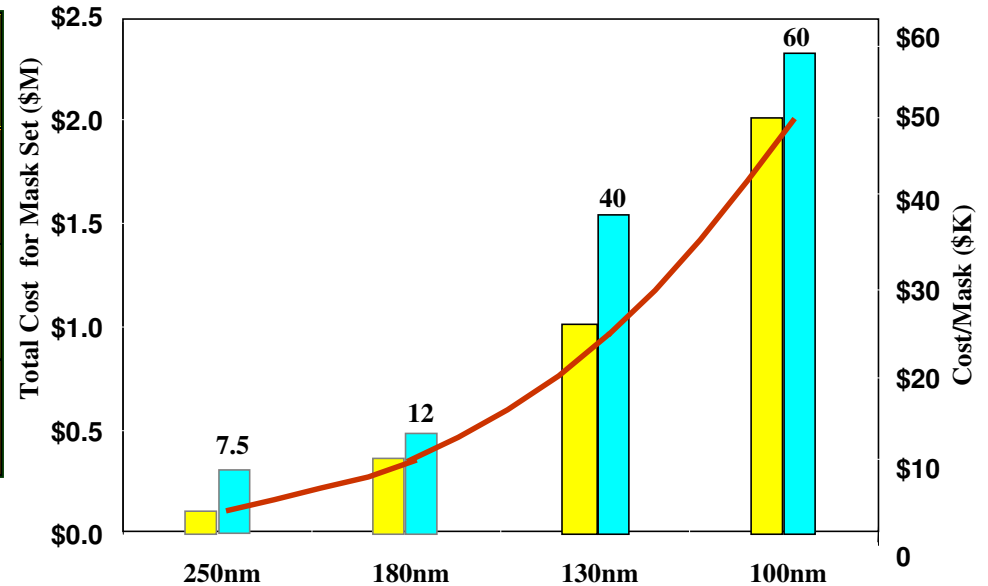
Tech:	0.8	0.35	0.18	0.13
NRE:	\$40k	\$100k	\$350k	<u>\$1,000k</u>
Turnaround	42 days	49 days	56 days	76 days
Market:	\$3.5B	\$6B	\$12B	\$18B

Source: DAC'01 panel on embedded programmable logic

- NRE (Non Recurrent Engineering) - alto
- Longo período para fabricação
- Time-to-market cada vez menor (janela de mercado)
- Menos que 1,000 a 10,000 projetos de ASIC tem volume para justificar tecnologia 0.13 μm

Aumento Rápido do Custo de Manufatura

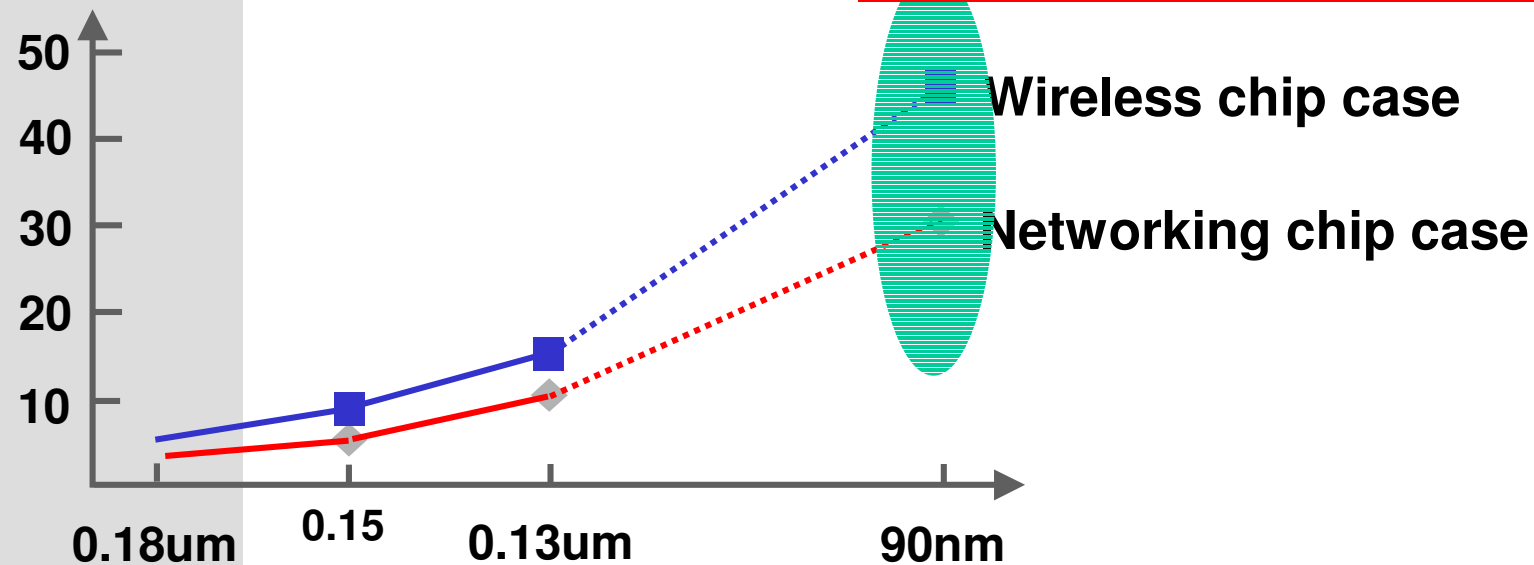
Process (um)	2.0	...	0.8	0.6	0.35	0.25	0.18	0.13	0.10
Single Mask cost (\$K)	1.5		1.5	2.5	4.5	7.5	12	40	60
# of Masks	12		12	12	16	20	26	30	34
Mask Set cost (\$K)	18		18	30	72	150	312	1,000	2,000



Source: EETimes

O Custo de Produtos de Nova Geração

Total Product Cost (\$M)



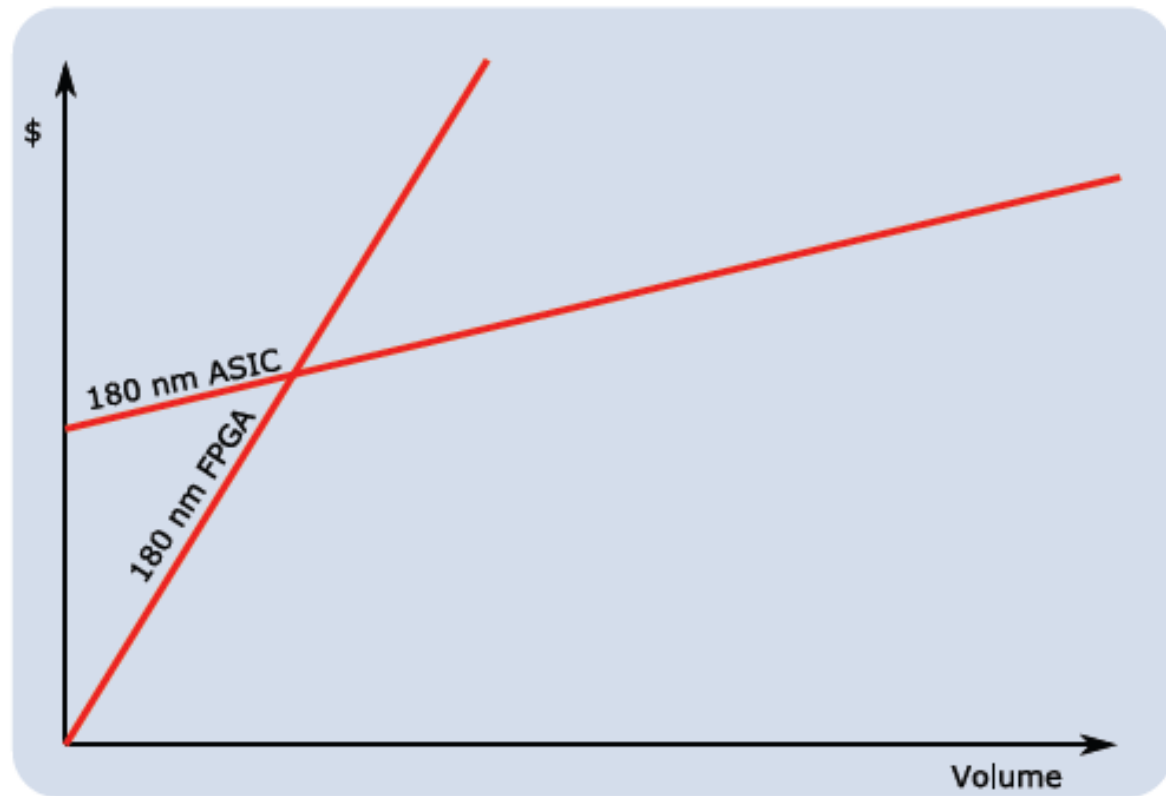
Source:
IBS Inc.

Product
Cost

Engineering Cost – 60% up
Manufacturing Cost – 40% up
NRE/Mask Cost – 100% up
Respin cost – 78% up

Economia em Semicondutores

Cenário Inicial: ASIC x FPGA na mesma tecnologia

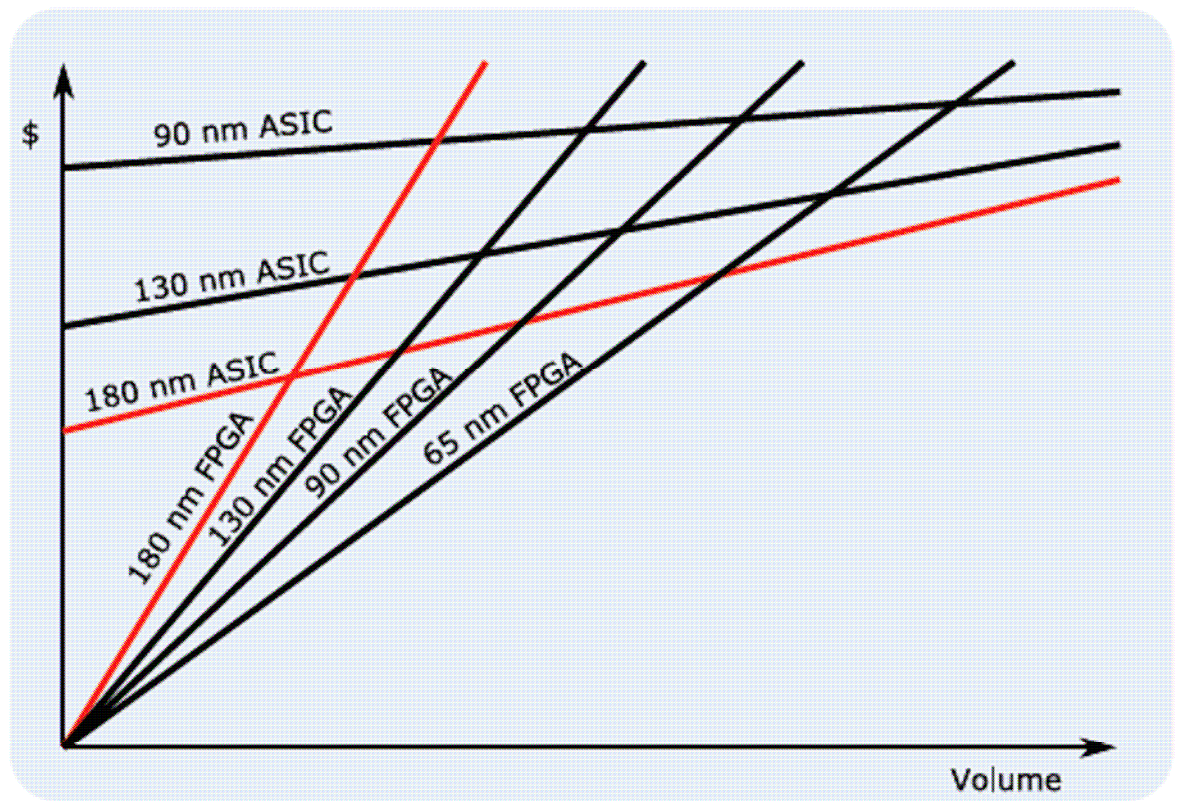


Economia em Semicondutores

- Tecnologia de 180 nm
 - Todos competiam na mesma tecnologia (ASIC, FPGA, uP)
- Tecnologia a partir de 130 nm
 - Nem todos seguem na mesma tendência
- 2004
 - FPGAs com tecnologia 90 nm são introduzidos
 - Dois níveis de tecnologia a frente de outros ASICs
- Final de 2006
 - São introduzidos FPGAs 65nm
- Agora estão aparecendo processadores 65 nm
 - Core 2 Duo

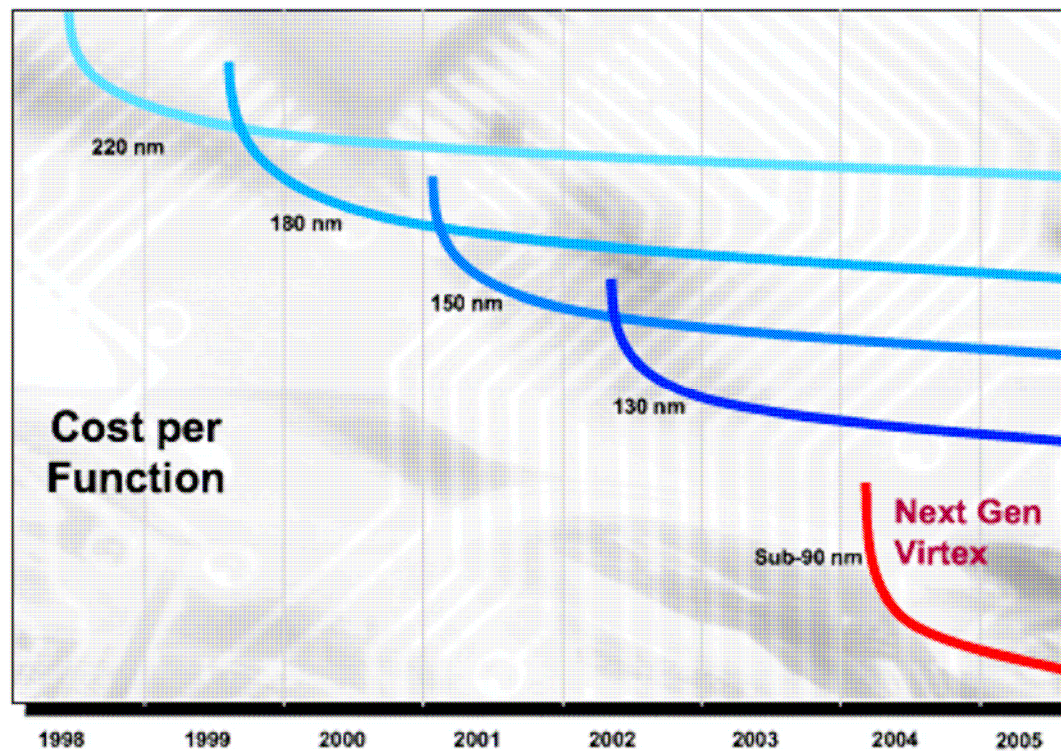
Economia em Semicondutores

Cenário Atual



Economia em Semicondutores

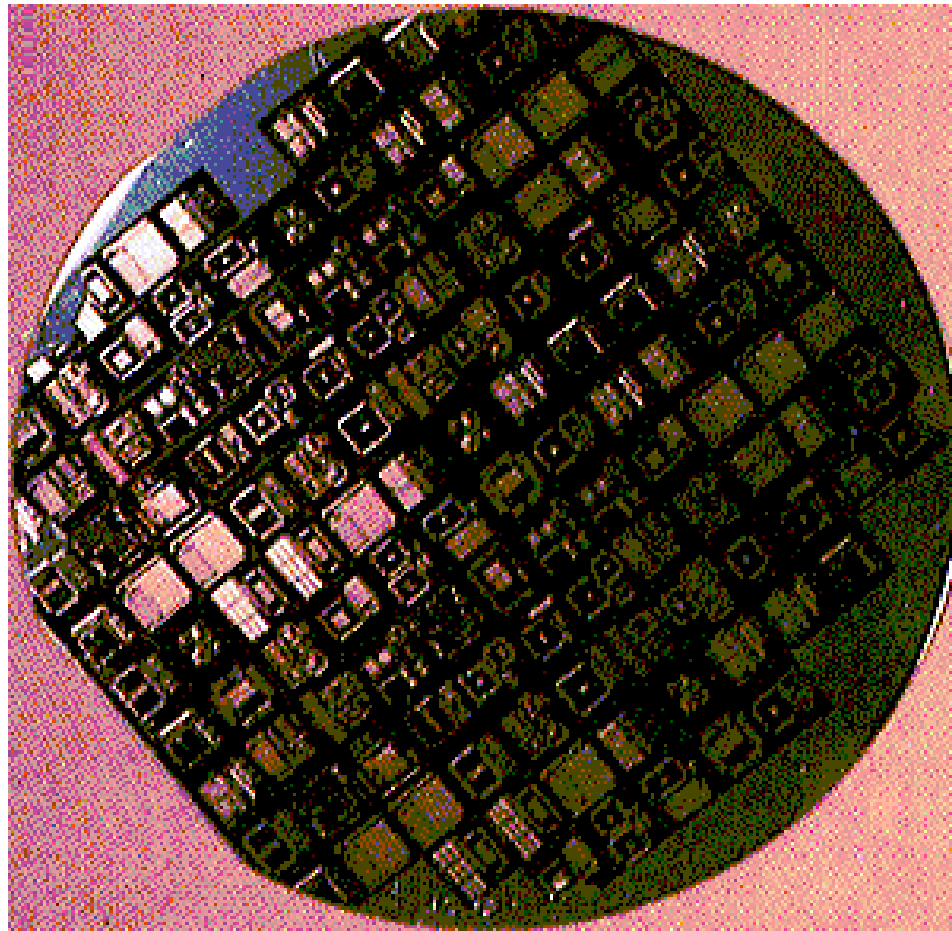
A partir de 2004 FPGA passa a ser um competidor mais forte



This information is quoted from Xilinx, Inc.

"Revolutionary Architecture for the Next Generation Platform FPGAs" – Embargoed News: December 8, 2003

Como Implementar meu chip em sílício?



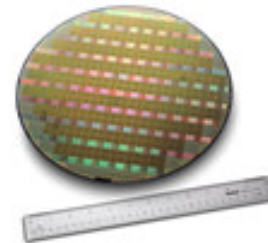
Tecnologias de Implementação

Três abordagens, programabilidade crescente e eficiência decrescente

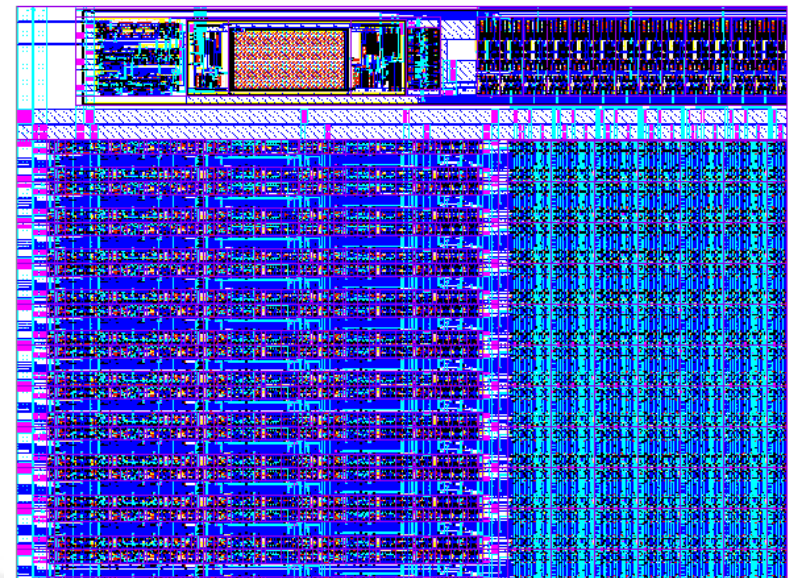
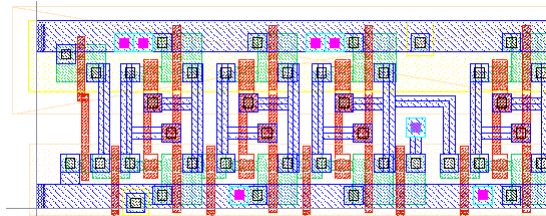
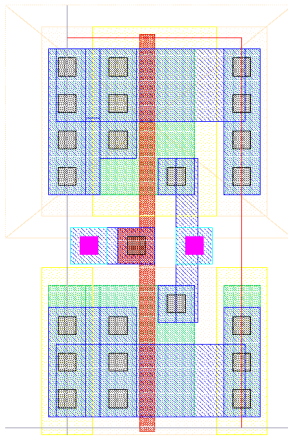
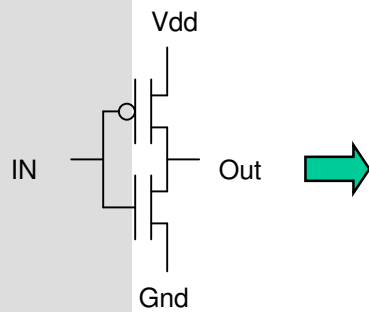
- Circuitos Integrados de Aplicação Específica
 - SSI/MSI/LSI/VLSI
- Lógica Programável
 - FPGA, CPLD
- Processadores Programáveis
 - Microcontroladores, NPUs, DSP's

Application Specific Integrated Circuits (ASICs)

- Alta capacidade -- 10-100M transistors
- Alta velocidade - 500MHz+
 - Integração
 - Uso específico
- Uso de vários estilos de projeto
 - Full Custom
 - Standard-cell (synthesized) - metodologia dominante
 - Híbrido
- Tempo de fabricação longo
 - Semanas a meses do projeto completo até o produto
- Economicamente viável para grandes volumes
 - Fazer as máscaras necessárias para fabricação está se tornando caro, da ordem de \$1M por projeto

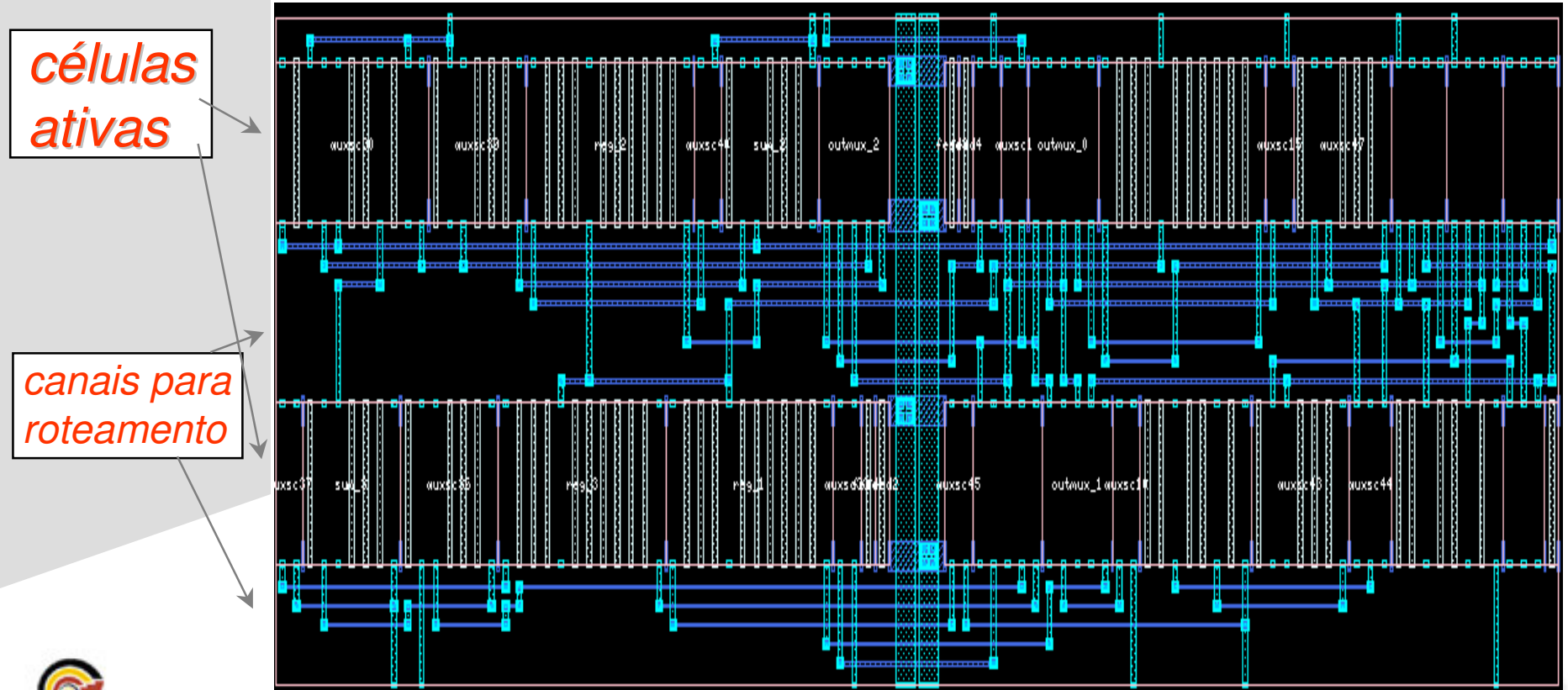


Full custom



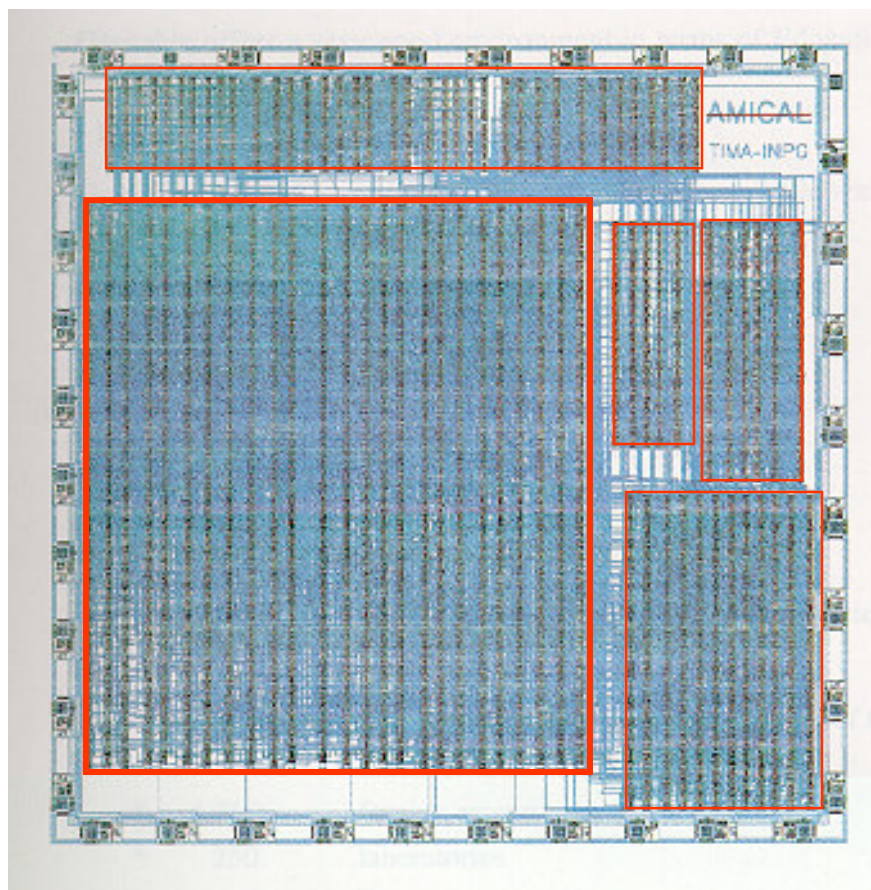
Standard-cell - Exemplo

Exemplo: Máquina de vender refrigerante



Macrocell

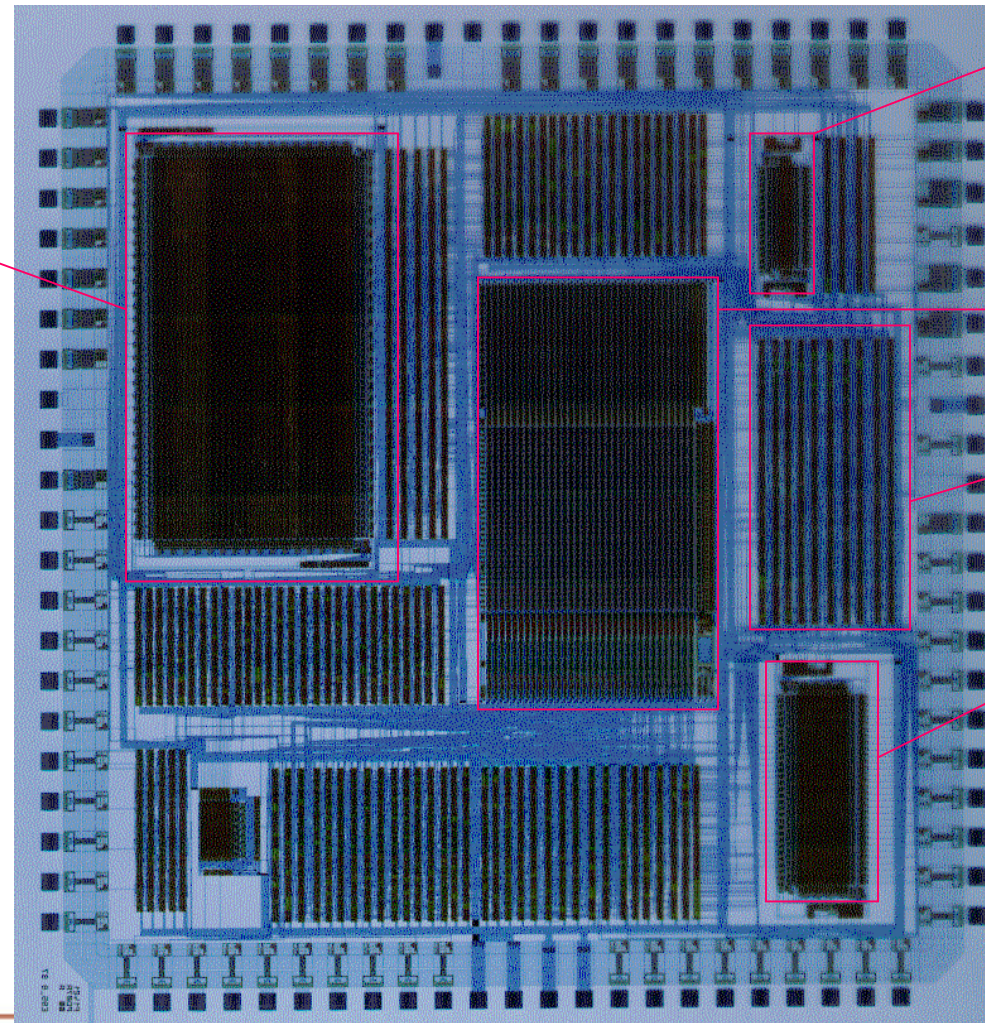
Exemplo: Processador



Exemplo:

Um ASIC com mistura de full custom, RAM e standard cells

Dual port RAM
Gate array



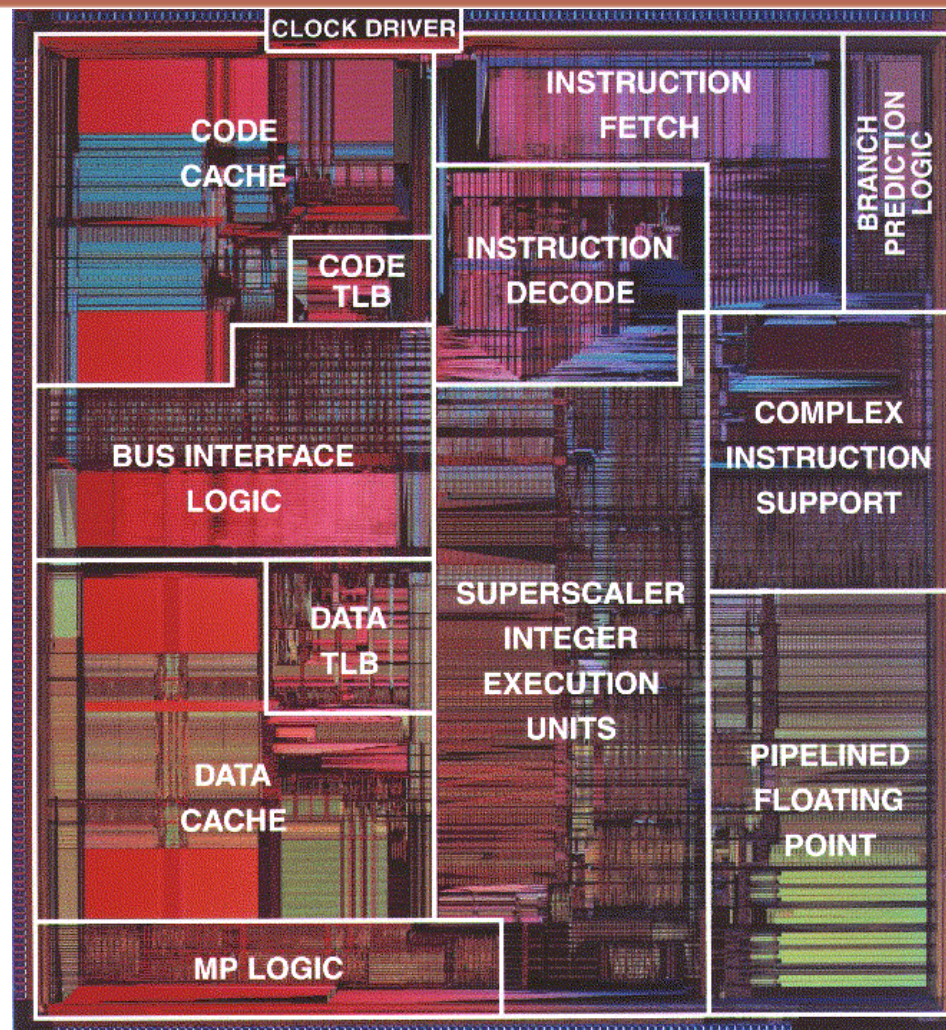
Single port RAM

Full custom

Standard cell

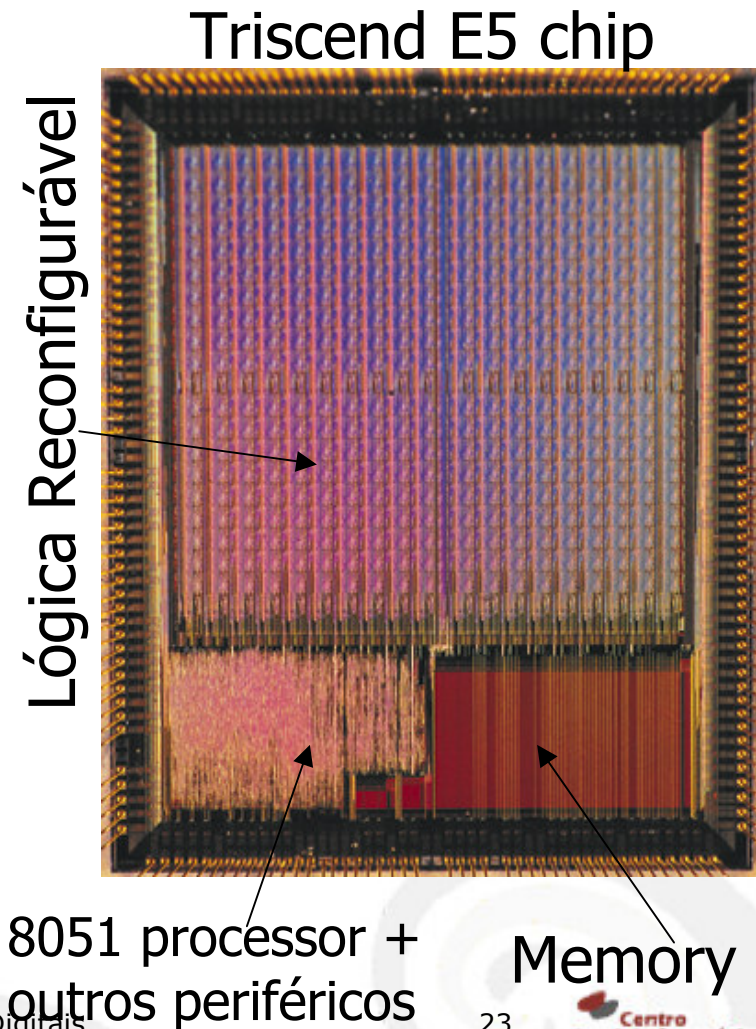
FIFO

Exemplo: Processador Pentium



Single-Chip Microprocessor/FPGA

- Triscend E5: baseado no 8-bit 8051 CISC core
 - 10 Dhrystone MIPS at 40MHz
 - 60 kbytes on-chip RAM
 - Até 40K de gates lógicos
 - Custo em torno de \$4 (em volume)



Vantagens de Lógica Programável



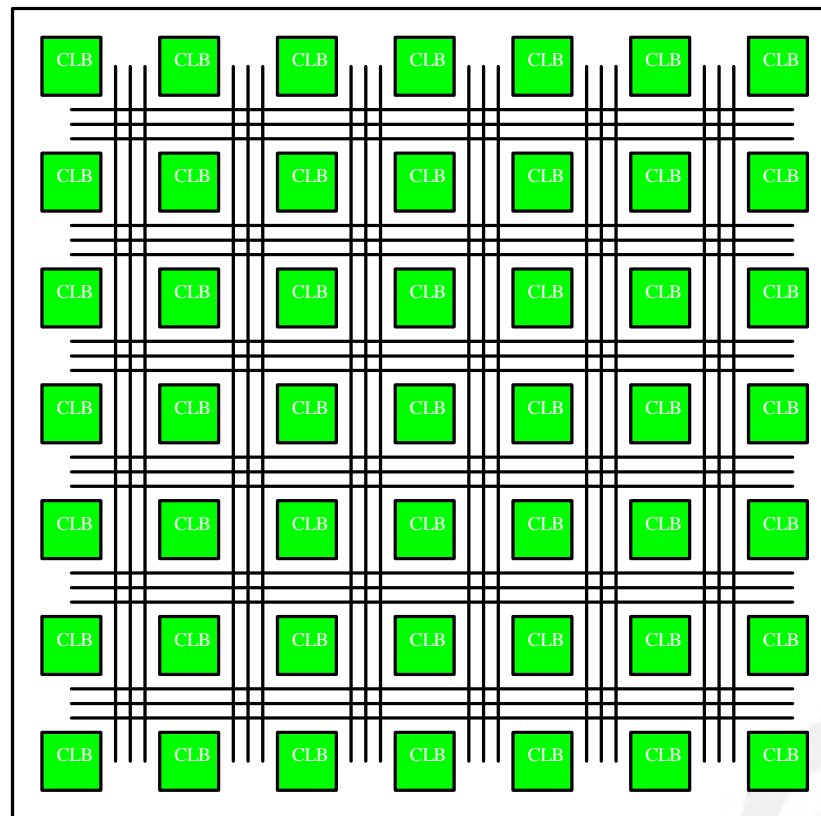
- Short TAT (total turnaround time)
- No or very low NRE (non-recurring expenses)
- Field-reprogrammable
- Platform-based design

Atualmente - Dois Principais Tipos de Lógica Programável

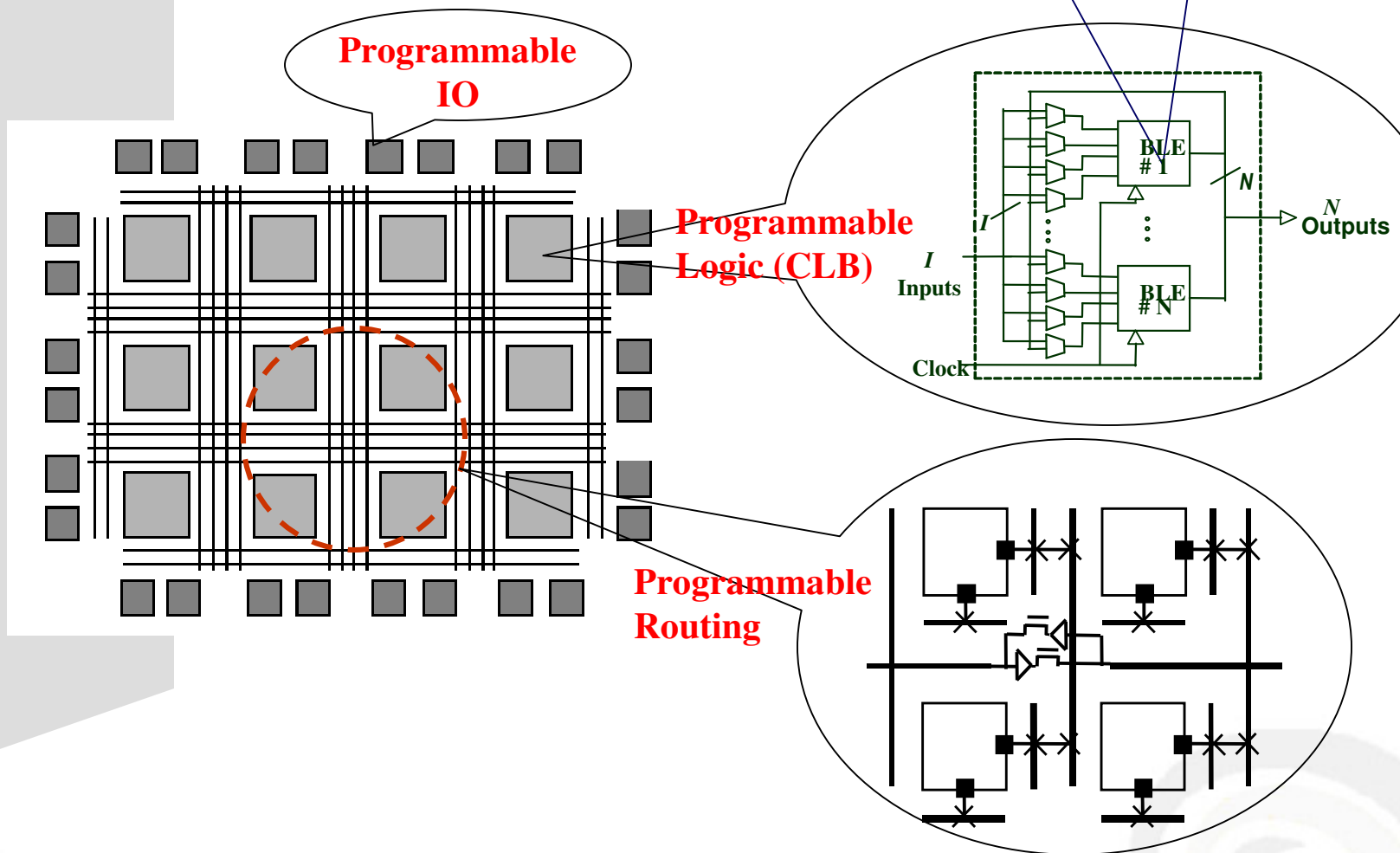
- CPLD (complex programmable logic device)
 - coarse-grained two-level AND-OR programmable logic arrays (PLAs)
 - Atrasos mais rápidos e previsíveis
 - Estruturas de interconexão mais simples
- FPGA (field programmable gate array)
 - fine-grained logic cells
 - Alta densidade de lógica
 - Boa flexibilidade de projeto

Field-Programmable Gate Arrays

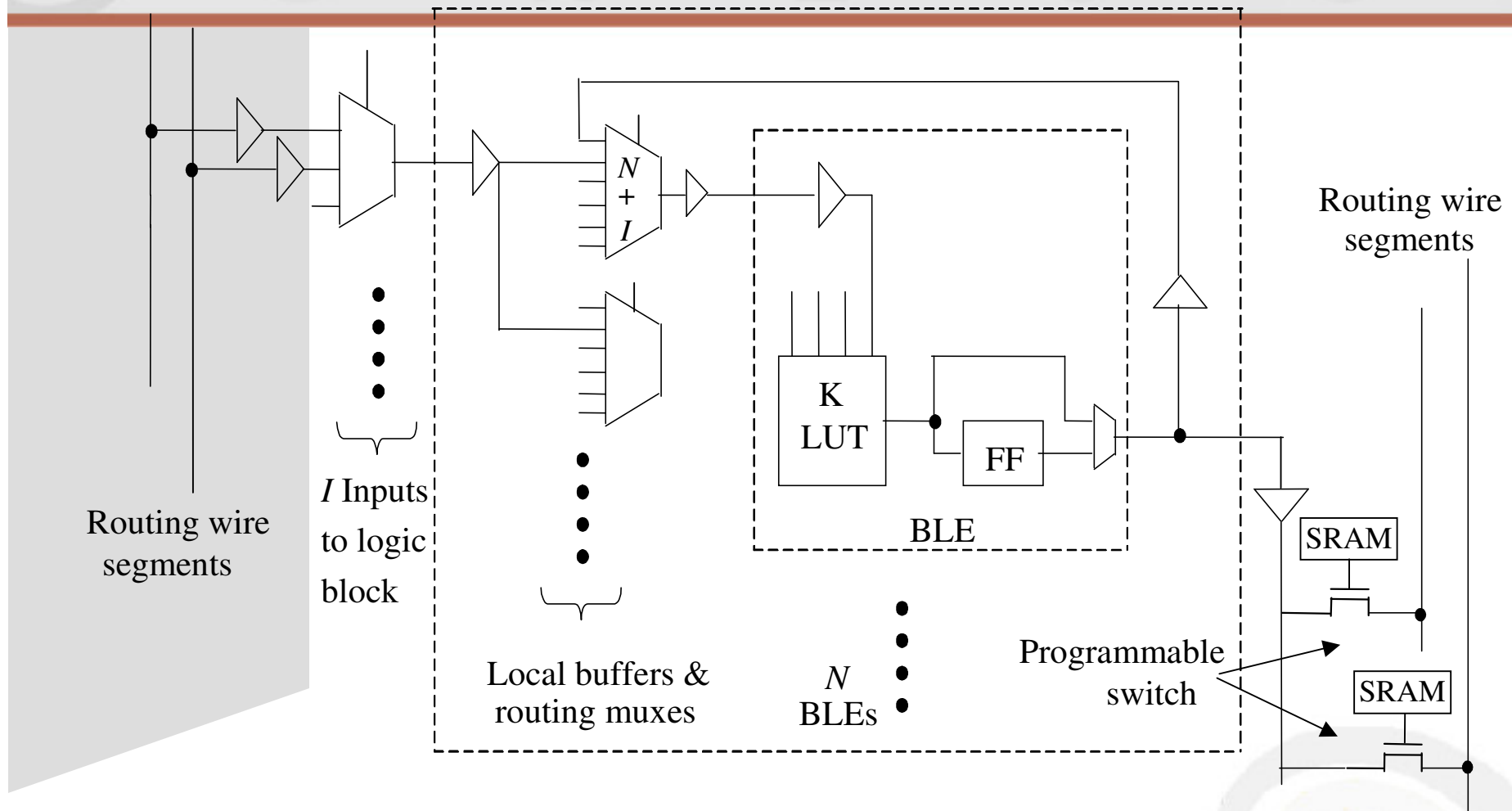
- Baseados em CLBs (Configurable Logic Block)



Arquitetura Genérica de FPGA



Estrutura Conceitual de um Bloco Lógico e sua Periferia



Xilinx CLB - Conhecido como “Slice”

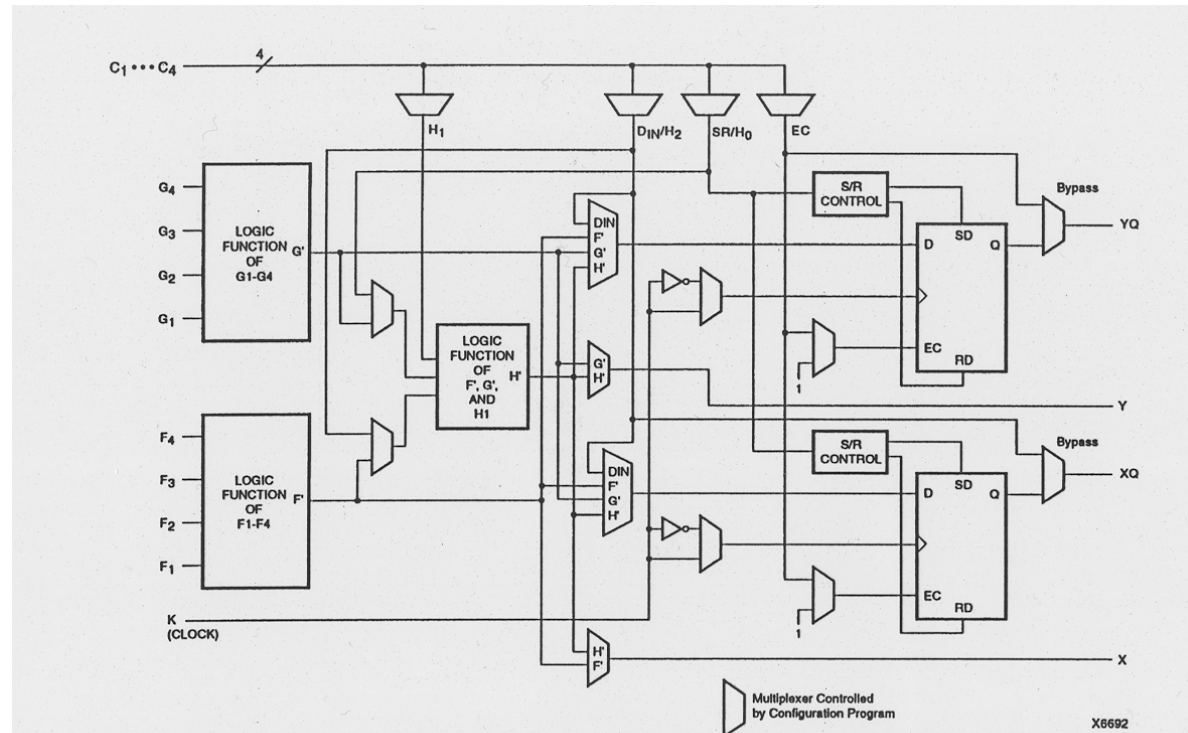
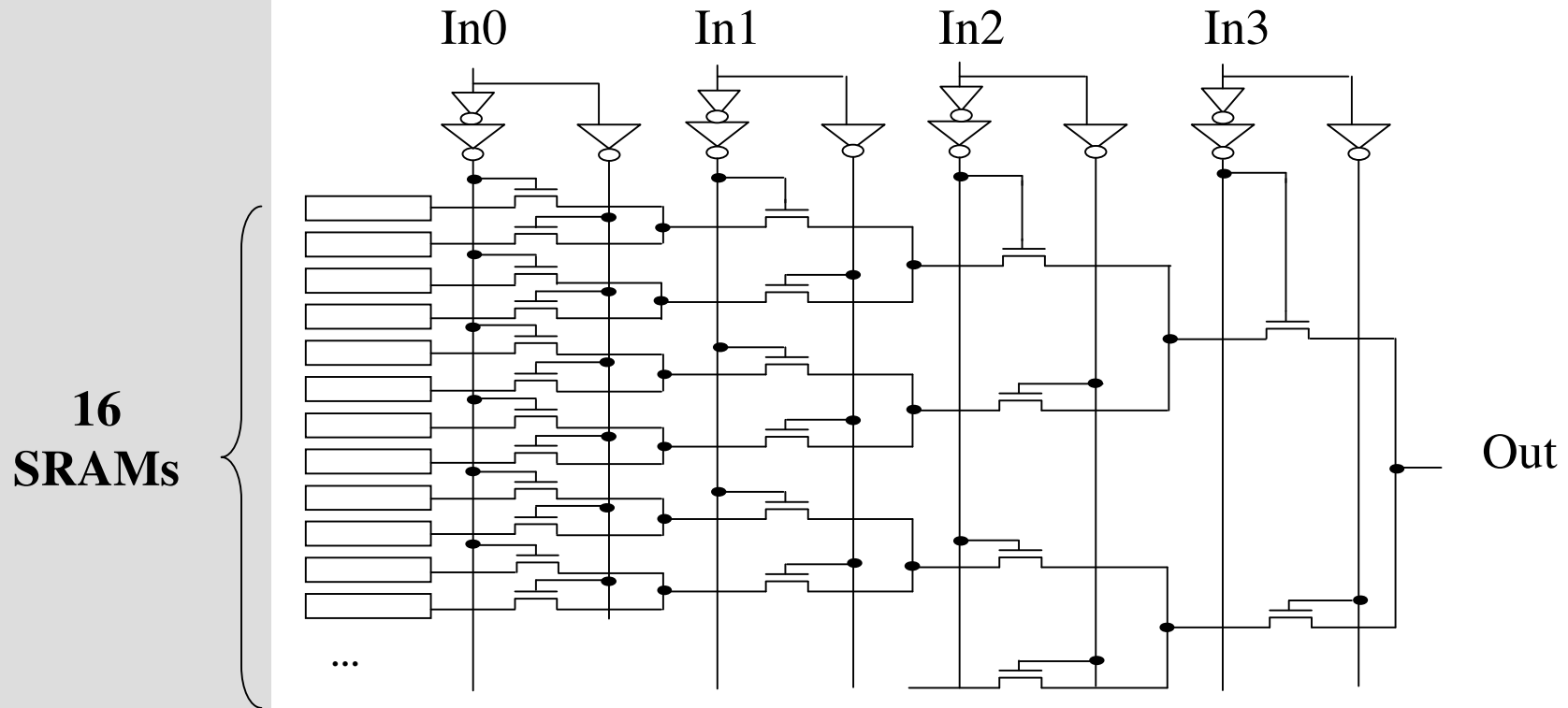


Figure 1: Simplified Block Diagram of XC4000-Series CLB (RAM and Carry Logic functions not shown)

Page 4-12, Xilinx XC400 Series Field Programmable Gate Arrays Product Specification

Uma Implementação de uma 4-input Look-up Table (4-LUT)



$$Out = f(in0, in1, in2, in3)$$

Blocos de Input-Output

- Um IOB por pino de FPGA
 - Permite pinos serem utilizados como entrada, saída, ou bidirecional (tri-state)
- Entradas
 - Direct
 - Registered
 - Drive dedicated decoder logic for address recognition
- IOB também pode incluir lógica para boundary scan (JTAG)

Xilinx IOB

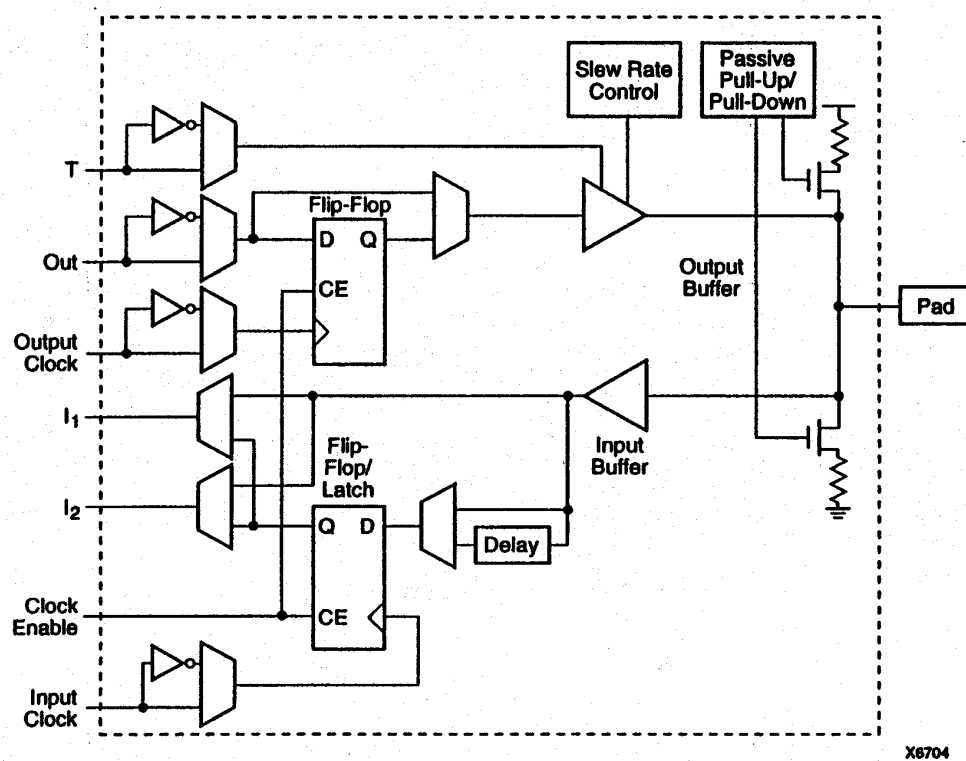


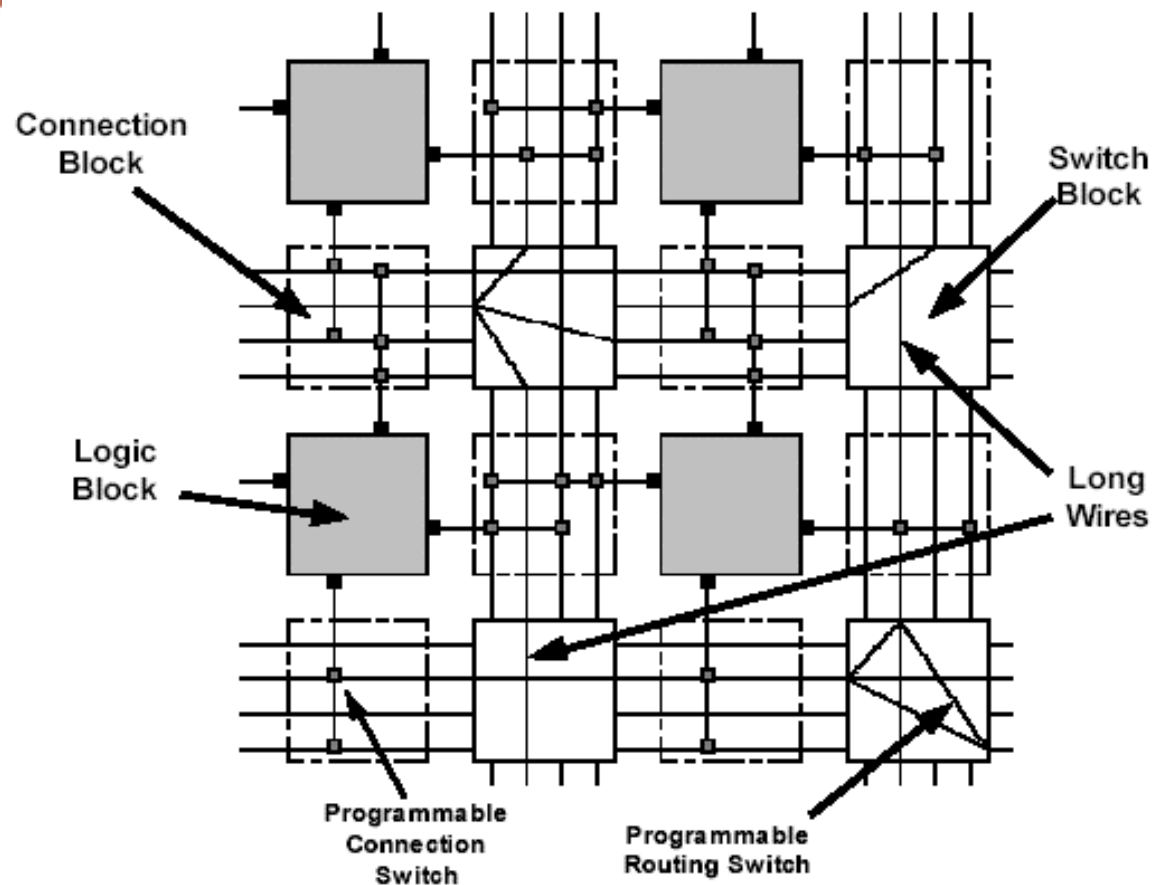
Figure 16: Simplified Block Diagram of XC4000E IOB

Figure 16, Xilinx XC400 Series Field Programmable Gate Arrays Product Specification

Interconexões

- Mesh de fios de duas dimensões, com elementos de chaveamento nos cruzamentos dos fios para controle do roteamento
 - Padrões de bits armazenados nos FFs de chaveamento determinam o roteamento
 - Switch connections programmed as part of configuring array
- Para a otimização de desempenho, muitos projetos incluem múltiplos comprimentos de fios
 - Comprimento simples (conexão de chaves adjacentes)
 - Comprimento duplo (conectam a chaves mais distantes)
 - Linhas longas

Interconexões



Variáveis de Projeto

- Tamanho da LUT Size
- Tamanho do CLB size
- Logic block inputs
- Channel width
- Switch block flexibility
- Connection block flexibility
- Segmented wire lengths
- Percentage of various wire segments
- Buffer sizes
- Additional Functionality: Carry chains, CPU's, block RAM files
- Tradeoffs: such as number of CLBs vs. size of CLB and routing area

FPGA, Altera Stratix II

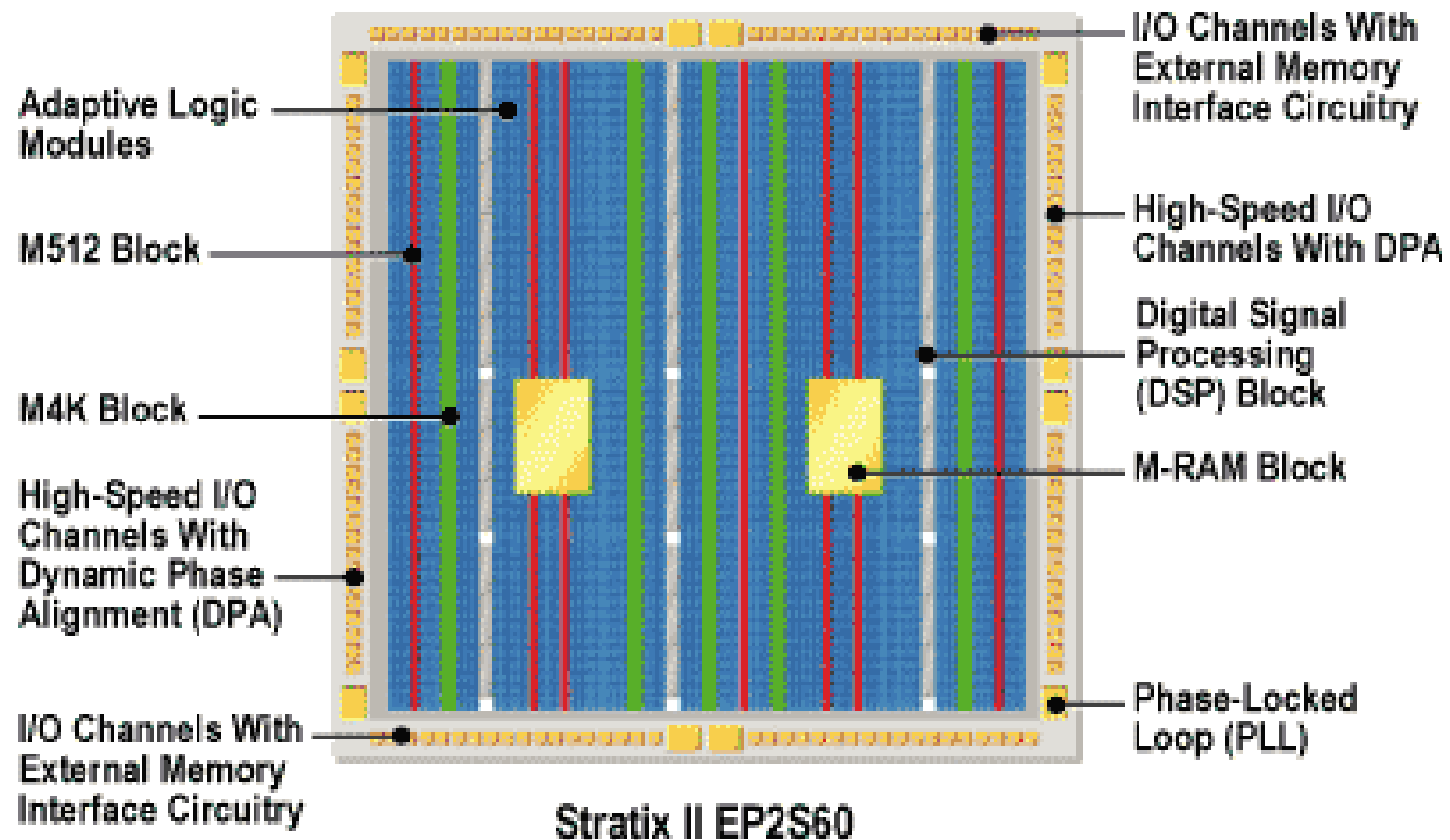
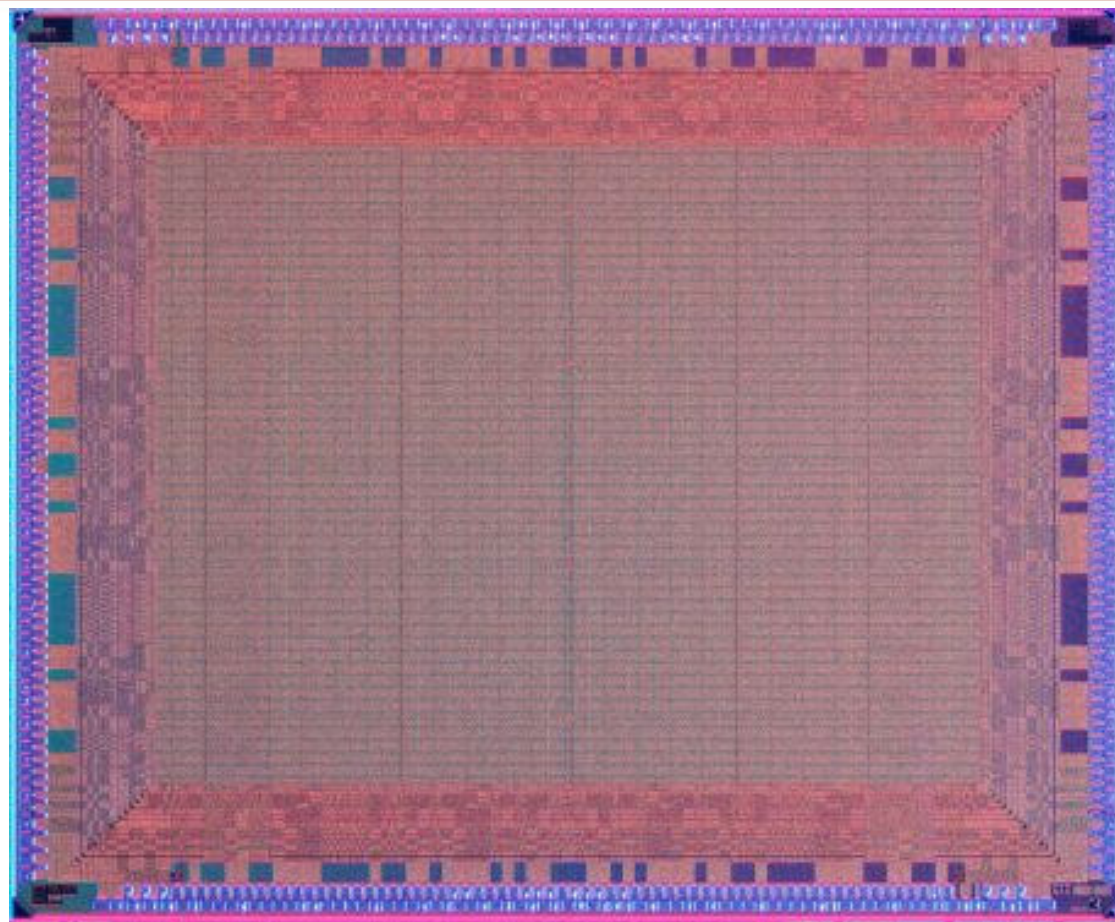
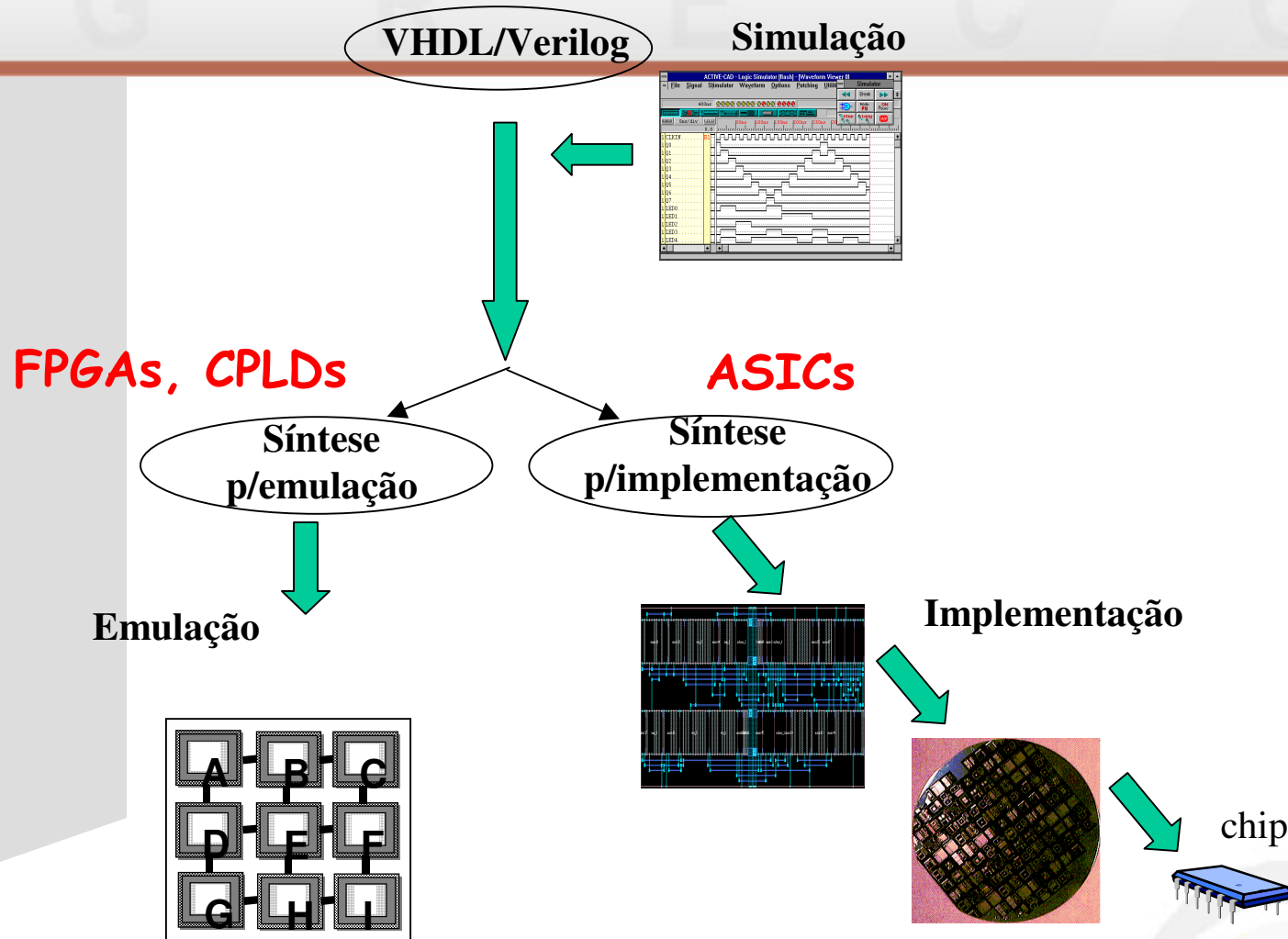


Imagem do die Xilinx Spartan-3



Fluxo de projeto Emulação/Implementação do componente de hardware



- Mesma base de dados para emulação e implementação
- Testes durante a emulação seriam mais próximos possíveis da implementação final do projeto.