



UNIVERSIDADE FEDERAL DE PERNAMBUCO
GRADUAÇÃO EM ENGENHARIA DA COMPUTAÇÃO
CENTRO DE INFORMÁTICA
2016.1



**Modelo em RTL do processador RISC-V
sintetizável em FPGA**

PROPOSTA DE TRABALHO DE GRADUAÇÃO

Aluno: Vanessa Oliveira Ogg (voo@cin.ufpe.br)

Orientador: Edna Natividade da Silva Barros (ensb@cin.ufpe.br)

Recife, Setembro de 2016.

1. Introdução

O mercado mundial de sistemas embarcados, atualmente atinge um volume em dólares 100 vezes maior que o de microcomputadores pessoais, e deverá manter crescimento exponencial nesta década [1]. Um Sistema Embarcado (SE) pode ser visto como componentes de hardware e software trabalhando juntos para o desenvolvimento de uma aplicação específica. A plataforma de hardware de um SE frequentemente consiste de um microprocessador, memória, dispositivos de entrada e saída e uma aplicação em software[2].

Sobre o microprocessador, o conjunto de instruções é um dos aspectos principais em sua arquitetura. A utilização de uma arquitetura base reduz o esforço de implementação das ferramentas de desenvolvimento de software (compilador, depurador, simulador, etc.) facilitando o uso de linguagens de programação de alto-nível, além de permitir uma possível herança de bibliotecas de software já existentes[3].

A interface hardware-software, bem como a arquitetura do conjunto de instruções (Instruction Set Architecture - ISA), constituem a interface mais importante em um sistema computacional. No entanto, em contraste com as outras interfaces em um sistema computacional moderno, as arquiteturas do conjunto de instruções comercialmente populares são proprietários. Um padrão ISA livre e aberto tem o potencial de aumentar a inovação no projeto de SE baseados em processadores de propósito geral, reduzir o custo de sistema computacional e facilitar a transição para os dispositivos computacionais mais especializados [4].

Nessa perspectiva, o processador RISC-V apresenta-se como uma arquitetura baseada em RISC, livre e de código aberto, com um conjunto de instruções reduzido e opções de extensão padronizadas, sendo aplicável a propósitos de pesquisa e educação e sendo completo o suficiente para se adequar a aplicações embarcadas de baixo consumo.

Com o propósito de implementar um modelo em RTL (Register Transfer Level) do processador RISC-V, propomos a especificação de uma arquitetura que implementa o ISA básico do RISC-V, a qual será prototipada em FPGA (Field Programmable Gate Array). O desempenho da arquitetura proposta será analisada através de Benchmarking e Profiling com foco em aplicações de sistemas embarcados.

2. Objetivos

O principal objetivo deste trabalho de graduação é o desenvolvimento de uma especificação em RTL de uma arquitetura do processador RISC-V, que implementa o conjunto de instruções ISA descrito em (Waterman et al., 2014). A implementação proposta será validada por simulação e prototipação em FPGA.

3. Metodologia

O projeto e a implementação de sistemas digitais pode ser realizado utilizando-se diferentes níveis de abstração (Gajski et al., 2009). No nível de abstração RTL, o sistema é descrito por meio da relação entre as funções lógicas e os elementos de armazenamento (memória ou registradores). Para esta descrição, utilizaremos a linguagem SystemVerilog [5] e para simulação, as ferramentas Quartus II [6], da Altera e Questasim[7], da Mentor Graphics.

Para prototipação, a família de FPGA Cyclone III [8], será utilizada, uma vez que tais dispositivos permitem a descrição, simulação e síntese de circuitos digitais a certo nível de complexidade de hardware, podendo sofrer alterações sem a necessidade de fabricação do chip.

Para análise de desempenho do processador, serão utilizados programas (benchmarks) que geram informações como o número de ciclos necessários para o processador realizar uma tarefa, o tamanho do código (custo de memória) e verificam o funcionamento do processador, comparando os resultados obtidos com os resultados esperados para um conjunto de tarefas/aplicações.

Para estimativas dos custos de execução e memória, será utilizada a técnica de Profiling, visando encontrar quais as funções que quando compiladas geram maior código objeto, ou de máquina (análise estática), e o número de vezes que estas são chamadas durante a execução do programa (análise dinâmica).

4. Cronograma

Atividade	setembro				outubro				novembro				dezembro			
	1	2	3	4	1	2	3	4	1	2	3	4	1	2	3	4
Pesquisa Bibliográfica																
Descrição dos módulos em SystemVerilog																
Validação por simulação																
Prototipação e análises																
Escrita do Relatório																
Preparação apresentação																

5. Referências

- [1] Greg Stitt and Frank Vahid; “Energy Advantages of Microprocessor Platforms with OnChip Configurable Logic”; IEEE Design & Test Computers, 2002, pp.3643
- [2] Tong, J. G., Anderson , I. D. L. e Khalid, M. A. S.; “Soft-Core Processors for Embedded Systems”, publicado em International Conference on Microelectronics, ICM '06, 2006, pp 170.
- [3] Melo, C. A. R, A. ; Projeto de uma Arquitetura baseada num processador RISC-V para desenvolvimento de aplicações em Software-Defined Radio, 2016, Dissertação de Mestrado - Universidade Federal de Pernambuco. Centro de Informática. Programa de Pós-Graduação em Computação, Recife, 2016.
- [4] Waterman, A. S.: Design of the RISC-V Instruction Set Architecture, 2016, Tese de doutorado, Universidade da Califórnia, Berkeley.
- [5] Fitzpatrick. T, ; SystemVerilog for VHDL users”, Proceedings of the conference on Design, automation and test in Europe (DATE'4), 2004, Volume 2, pp. 21334.
- [6] Altera Corporation, “Quartus Prime Standard Edition Handbook Volume 1: Design and Synthesis”, San Jose, Altera Corporation, março 2016.
- [7] Mentor Graphics Corporation, “Questa® SIM User’s Manual”, Software Version 10.0d, 2011.
- [8] Altera Corporation, “Cyclone III Device Handbook, Volume 1”, San Jose, Altera Corporation, agosto 2012.

6. Assinaturas

Vanessa Oliveira Ogg
Aluna

Edna Natividade da Silva Barros
Orientadora