Universidade Federal de Pernambuco

Graduação em Engenharia da Computação

Centro de Informática

2013.2



**Desenvolvimento do Layout**

 **de um Controlador de Acesso Direto**

**à Memória (DMA)**

Proposta de Trabalho de Graduação

**Aluna:** Vanessa Larize Alves de Carvalho (vlac@cin.ufpe.br)

**Orientadora:** Edna Natividade Silva Barros (ensb@cin.ufpe.br)

Recife, 25 de novembro de 2013.

# Índice

[Índice 2](#_Toc372190286)

[Contexto 3](#_Toc372190287)

[Objetivo 3](#_Toc372190288)

[Cronograma 4](#_Toc372190289)

[Referências 5](#_Toc372190290)

# Contexto

 Nos últimos anos com o aumento da demanda e da complexidade dos circuitos integrados a industria começou a adotar novas metodologias de projeto e reuso. Uma dessas metodologias é o system-on-chip (SoC), sistema onde vários blocos de componentes (IP Cores) são integrados em um único circuito integrado[1]. IP Cores (Intellectual Property Cores) são geralmente oferecidos na forma de RTL (Register Transfer Level) sintetizável, chamados soft IP-cores, ou em nível de layout, muitas vezes denominado de hard IP-core[2].
 Uma das modalidades de IP-core bastante utilizada em circuitos integrados é o Controlador de Acesso Direto à Memória(DMA) , que permite que movimentações de dados entre memória, periféricos internos ou dispositivos externos ocorram sem a intervenção do processador [3].
 Nesse contexto, temos o projeto Brazil-IP [4] que é um esforço colaborativo de universidades brasileiras para formar projetistas de circuito integrado durante o período de graduação. A universidade Federal de Pernambuco é umas dessas universidades e um dos projetos que está em andamento é o desenvolvimento de um controlador DMA. Esse projeto tem sido realizado de acordo com a metodologia do ipPROCESS[5] que é um rigoroso processo de desenvolvimento inspirado em metodologias bem conhecidas da engenharia de software como RUP e XP.

# Objetivo

O objetivo final do trabalho é a concepção do projeto de layout do Controlador de Acesso Direto a Memória (DMA). Para isto, será utilizado o fluxo de desenvolvimento proposto pelo ipPROCESS 3.0.
 O fluxo para o desenvolvimento do ASIC, partindo do RTL verificado e validado é composto pelas seguintes etapas: síntese lógica, inserção de estruturas de teste, geração de vetores de teste e desenvolvimento do layout. A etapa de síntese lógica tem como objetivo minimizar área e potência e maximizar desempenho, ela faz uso de uma biblioteca específica e de equações booleanas para produzir um conjunto de células e suas interconexões. O resultado dessa fase é chamado Netlist.

A etapa de inserção de estruturas de teste será feita seguindo o modelo “internal scan”, que visa minimizar a necessidade de equipamento de teste externo. Dessa forma, uma modificação interna no circuito é realizada. Esse modelo pode ser implementado de duas maneiras: “full scan ” ou “partial scan”. Será utilizada a estratégia “full scan”, que insere estruturas de teste em todo o circuito e permite controlar e observar todos os elementos de armazenamento. Após inserir as estruturas de testes, serão gerados os vetores de teste.

A etapa de desenvolvimento do layout envolve os seguintes passos: “floorplanning”, onde é possível fazer o posicionamento manual das macro-células e a distribuição de potência; é também nesta fase que o tamanho do circuito é definido; “placement” que realiza o posicionamento das standards cells em regiões do circuito definidas pelo floorplanning; síntese da árvore de clock, que é realizada para contornar o problema de “Clock Skew” (diferença máxima de tempo entre a chegada do sinal de clock a dois componentes distintos), que força os projetistas a aumentarem o período do clock; E por último “routing”, etapa que define as rotas seguidas pelos metais.

# Cronograma

No cronograma a seguir é possível verificar como serão distribuídas as etapas da verificação e do trabalho de graduação durantes os meses.

|  |  |
| --- | --- |
|  | Período |
| Atividades | **Novembro** | **Dezembro** | **Janeiro** | **Fevereiro** |
| Realizar Síntese Lógica |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| Inserir Estruturas de Teste |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| Desenvolver Layout |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| Escrever Relatório Final |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| Preparação da apresentação |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |

Tabela – Cronograma

# Referências

[1] Revista Exame (09/01/2012) URL: <http://exame.abril.com.br/tecnologia/noticias/venda-de-eletronicos-pode-chegar-a-um-trilhao-de-dolares-em-2012>

[2] WIKIPEDIA. Desenvolvido pela Wikimedia Foundation. Apresenta conteudo enciclopedico (IP Core). Disponivel em <<http://en.wikipedia.org/wiki/Semiconductor_intellectual_property_core>>. Acesso em: Fevereiro de 2011.

[3] TMS320C620x/C670x DSP Program and Data Memory Controller/Direct Memory Access (DMA) Controller Reference Guide - Texas Instruments

[4] Brazil-IP. Rede brasileira de centros de concepção de Sistemas Digitais e IP-Cores.

URL: http://www.brazilip.org.br/
[5] Lira, P. “ipPROCESS 3.0: Inclusão do Fluxo de Desenvolvimento de Hard ip-cores”.

 Dissertação de Mestrado em Ciência da Computação, Centro de Informática, UFPE.

2009.

# Assinaturas

Recife, 25 de novembro de 2013.



Edna Natividade Silva Barros (Orientadora)

Vanessa Larize Alves de Carvalho (Aluna)