

Universidade Federal de Pernambuco

Centro de Informática

Engenharia da Computação

**Proposta de tese de graduação:**

Desenvolvimento de um modelo de potência para o processador NIOS da Altera

Aluno: Henrique Figueirôa Lacerda ([hfl@cin.ufpe.br](mailto:hfl@cin.ufpe.br))

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Orientador: Abel Guilhermino da Silva Filho ([agsf@cin.ufpe.br](mailto:agsf@cin.ufpe.br))

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

28 de Novembro de 2013

Introdução e Justificativa

Atualmente, os sistemas embarcados estão presentes em praticamente toda a rotina dos seres humanos. Por serem destinados normalmente à uma propósito específico, costumam ser de tamanho reduzido e possuem uma fonte de energia limitada, como uma bateria, por exemplo. Desse modo, um dos fatores mais importantes que influenciam na etapa inicial do projeto destes sistemas é, definitivamente, o consumo de energia.

Assim, há vários componentes que são diretamente dependentes desta restrição de projeto. Normalmente um sistema embarcado é composto por um (ou mais) processador(es), memórias, dispositivos de armazenamento, barramentos e periféricos. Cada um destes tem a sua parcela de influência no consumo de energia do sistema, assim como restrições de energia na etapa inicial de um projeto pode vai implicar que estes sistemas precisam ser bem definidos para alcançar as restrições estabelecidas inicialmente.

Um dos principais (senão o principal) componentes de um sistema embarcado é o processador embarcado. São processadores baseados em processadores de uso geral que executam as mesmas tarefas e acabam barateando o desenvolvimento de sistemas embarcados. Com o uso de sistemas embarcados se dissipando cada vez mais, o consumo de energia se tornou o parâmetro mais crítico no projeto de processadores embarcados [1][2][3].

Com isso, um exemplo de processador embarcado é o NIOS II [4], que foi desenvolvido pela Altera em 2005 que até hoje é bastante utilizado devido a sua flexibilidade e facilidade de programação[5]. Este é caracterizado por possuir uma arquitetura RISC soft-core que pode ser implementada utilizando-se blocos lógicos programáveis e blocos de memória em FPGAs Altera [6]. Isto permite que o desenvolvedor seja capaz de especificar diversos parâmetros e obter a arquitetura mais adequada às necessidades da aplicação.

Sendo assim, de posse desta liberdade de escolha dos parâmetros de projeto, o projeto de arquiteturas utilizando este processador permite um espaço de exploração muito grande, de modo que cada combinação de parâmetros implica em novos valores de energia e desempenho para este processador.

Por isso, este trabalho propõe a definição de um modelo de energia para o projeto deste processador, de uma maneira que seja possível prever o seu consumo de potência a partir dos parâmetros de projeto.

Objetivos

Este trabalho tem como objetivo a definição de um modelo de energia para o processador embarcado NIOS II da Altera com o intuito de tornar possível a estimativa de consumo de potência do processador para uma determinada aplicação a partir da escolha correta dos parâmetros de projeto.

Objetivos Específicos:

* Após uma revisão bibliográfica inicial, determinar todos os parâmetros de projetos de arquiteturas usando o processador citado que possam vir a implicar no consumo de potência de sistemas que o utilizam.
* Definição de um modelo de potência dependente destes parâmetros que seja capaz de estimar um valor real de consumo para uma determinada aplicação.
* Validação do modelo proposto a partir de comparações entre os resultados obtidos e medições reais.

Cronograma de Atividades

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Atividade | Novembro | | | | Dezembro | | | | Janeiro | | | | Fevereiro | | | |
| Revisão Bibliográfica |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| Definição do Modelo |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| Testes e Validação |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| Escrita da Tese |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| Apresentação |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |

Referências Bibliográficas

[1] Z. Hu and M. Martonosi. *Reducing register file power consumption by exploiting value lifetime characteristics*. In WkShp on Complexity-Effective Design, June 2000.

[2] J. Rabaey and M. Pedram (Editors). *Low Power Design Methodologies*. Kluwer Academic Publishers, Norwell, MA, 1996.

[3] X. Guan and Y. Fei. *Reducing power consumption of embedded processors through register file partitioning and compiler support*.Proc. Application-Specific Systems, Architectures Processors, Jul. 2008, pp. 269–274.

[4] Nios II Processor Reference Guide, UG081 (v5.1), April 2, 2005, www. Altera.com.

[5] Z. Zhen, T. Guilin, D. Zhi and H. Zhiping. *Design and realization of the hardware platform based on the Nios soft-core processor*. Electronic Measurement and Instruments, 2007. ICEMI '07. 8th International Conference on Electronic Measurement and Instruments. Jul. 2007, pp 4.865 – 4.869.

[6] Nios II. Wikipedia. Acessado em 28 novembro de 2013. Disponível em http://en.wikipedia.org/wiki/Soft\_microprocessor.