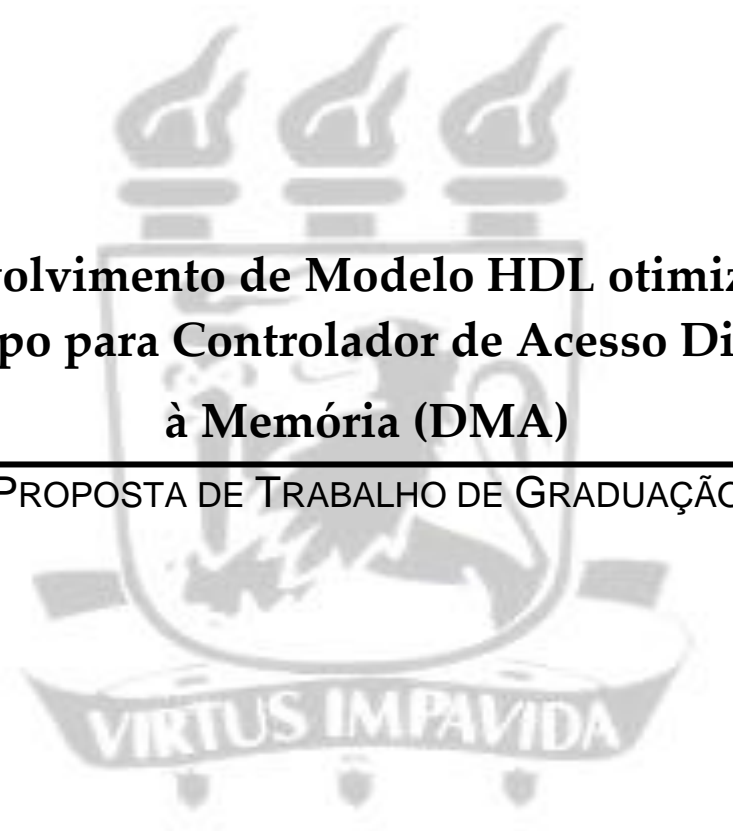


UNIVERSIDADE FEDERAL DE PERNAMBUCO
GRADUAÇÃO EM ENGENHARIA DA COMPUTAÇÃO

CENTRO DE INFORMÁTICA
2013.1



**Desenvolvimento de Modelo HDL otimizado no
tempo para Controlador de Acesso Direto
à Memória (DMA)**

PROPOSTA DE TRABALHO DE GRADUAÇÃO

Aluno: Angelo Silva Brito (asb@cin.ufpe.br)

Orientadora: Edna Silva Barros (ensb@cin.ufpe.br)

Recife, 30 de junho de 2013.

Índice

Índice.....	2
Contexto.....	3
Objetivo.....	4
Cronograma.....	5
Referências.....	6
Assinaturas.....	7

Contexto

Com o grande aumento das vendas de produtos eletrônicos nas últimas décadas surgiu a necessidade de desenvolver novas tecnologias de uma maneira rápida, eficaz e barata, garantindo que um novo produto chegue ao mercado o mais rápido possível e com um preço competitivo. Tomando o exemplo dos telefones inteligentes, que segundo especialistas serão mais de 1 bilhão de dispositivos em 2017 [1], seus fabricantes precisam sempre inovar para se diferenciar de seus concorrentes. Portanto, o desenvolvimento de novas tecnologias se tornou o diferencial que torna os produtos competitivos, mas precisam ser desenvolvidos rapidamente e a baixos custos.

Então, para garantir a velocidade no desenvolvimento e manter a qualidade e confiabilidade dos dispositivos, foram desenvolvidas metodologias e técnicas de montagem e design de Circuitos Integrados (CI), que utilizam Núcleos de Propriedade Intelectual (Intellectual Property Cores – IP-Cores), para auxiliar a concretização destes objetivos. Estas metodologias, as quais são baseadas em reuso e modularização de funcionalidades, são denominadas de plataforma e focam em tornar seus dispositivos reusáveis, com maior qualidade e auxiliam a acelerar o processo de desenvolvimento, para assim, reduzir o tempo de lançamento ao mercado através da diminuição do esforço necessário no desenvolvimento, reutilizando funcionalidades previamente desenvolvidas, e garantir uma melhor qualidade, através do reuso de módulos previamente validados.

Considerando agora um cenário mais abrangente, existem vários outros tipos de Dispositivos Embarcados que utilizam IP Cores em sua confecção. Na maior parte destes dispositivos existem um grande volume de transferência de dados e um processador para computar estes dados. Estes processadores, usualmente, têm requisitos de potência que os obrigam a serem lentos, portanto, para que o desempenho do sistema como um todo não seja afetado, foram desenvolvidos dispositivos apenas para realizar as transferências de dados, enquanto o processador continua a processá-los. Estes dispositivos são denominados de Controladores de Acesso Direto a Memória (Direct Memory Access - DMA) e são responsáveis por realizar movimentações de dados dentro do ambiente no qual está inserido.

O projeto Brazil-IP[2] incentiva e treina estudantes de engenharia a se tornarem aptos a desenvolver IP-Cores. Sendo ensinado como construir a Documentação, a Verificação e Prototipação como ASICs (Application Specific Integrated Circuit) e em FPGAs (Field Programmable Gate Array). Desta forma os alunos se tornam capacitados para o desenvolvimento de circuitos integrados. E, desta forma, capazes de suprir as exigências de produzir novas tecnologias no Brasil de forma rápida, segura e barata, assim como o mercado internacional exige. O Brazil-IP já foi executado em dezesseis universidades brasileiras, dentre as quais uma foi a Universidade Federal de Pernambuco (UFPE) e um dos projetos desenvolvidos foi um DMA baseado na arquitetura da Texas Instruments[3] e, para tanto, utilizou a metodologia de desenvolvimento ipProcess[4].

O ipProcess é uma metodologia que descreve e define o processo de desenvolvimento de IP-Cores baseada nas metodologias RUP e XP. Partindo de especificações, passando por modelos de referencia escritos em alto nível, desenvolve-se um modelo em Hardware Description Language (HDL)[5] e finalizando com um IP-Core desenvolvido e verificado segundo esta metodologia. Um dos pontos cruciais nesta metodologia é o esforço na verificação, pois os IP-Cores devem ser reutilizáveis e, portanto, não podem ter defeitos nas suas funcionalidades, garantindo assim uma melhor qualidade através da exigência de um grande esforço na verificação.

Devido a complexidade e aos requisitos de reuso definidos pela metodologia o Controlador de DMA desenvolvido pelo projeto foi composto por 13 submódulos, cada um responsável por implementar uma funcionalidade do sistema. E ainda, segundo a metodologia, foram desenvolvidos 14 modelos de referencia para testar cada um destes módulos individualmente e integrados. Estes modelos de referencia e os testbenches do processo de verificação utilizaram uma metodologia própria a Brazil-IP Verification Methodology (BVM). Findo este processo o Projeto foi executado até o passo de síntese para ASIC e validação utilizando prototipação em FPGA, a qual deveria funcionar em conjunto com o outro projeto da UFPE o Multi-Channel Buffered Serial Port (MCBSP) e neste ponto foi identificado um problema grave de sincronia entre os dois projetos.

Então, este problema gerou um novo requisito não funcional para o qual é preciso realizar um trabalho de melhoria no modelo do DMA para que ele obedeça ao novo requisito de tempo e funcione corretamente em conjunto com o MCBSP.

Objetivo

Tendo em vista o problema no contexto apresentado, o presente trabalho tem como objetivo realizar análise do problema, pesquisar por uma solução, desenvolvê-la e submetê-la a verificação funcional do Controlador de DMA, a qual já foi desenvolvida e submeter o novo circuito a todo o processo anterior, e finalizar com uma demonstração em FPGA de ambos os projetos funcionando juntos.

Para analisar será realizada uma investigação manual das formas de ondas geradas pelas ferramentas de verificação e então rastrear os estados e as transações entre os módulos. Para então, gerar um fluxograma do funcionamento do DMA e, então, identificar os pontos que podem ser melhorados.

Posteriormente serão desenvolvidas algumas melhorias, que podem consistir em modificar ou gerar novos módulos em RTL, de forma que resolvam e/ou substituam os módulos originais com a finalidade de solucionar os problemas identificados, entretanto, estas modificações não podem alterar as funcionalidades já desenvolvidas.

Para cada solução proposta devera ser realizado um processo de validação, o qual consiste em simular os módulos em RTL junto com os modelos de referencia em alto e nível e comparar as respostas obtidas. Passando pela verificação a solução deve ser sintetizada (processo que traduz o modelo RTL em modelo de portas logicas) e em

seguida passar pelo processo de layout. Desta forma garantindo que a solução está correta para todo o processo de produção do IP-Core e não apenas na etapa de prototipação e ainda, que todas as funcionalidades originais foram mantidas.

Finda a validação da solução, o novo design deverá ser submetido ao processo de síntese e layout para ASIC, que é o objetivo final do projeto. Desta forma garantindo que o novo circuito pode ser transformado em chip físico e utilizado em projetos reais.

E, por ultimo, deverá ser realizada a prototipação em FPGA para confirmar que ambos os projetos, DMA e MCBSP, estão funcionando em conjunto. E Ainda gerar uma documentação com o relatório dos resultados finais obtidos durante a execução de todo o processo e um documento de User Guide para que futuros engenheiros possam utiliza-lo.

Cronograma

A seguir o cronograma das atividades propostas, considerando assim o tempo total para realizar cada etapa, e a definição do esforço de trabalho empregado no desenvolvimento e na confecção do Trabalho de Graduação.

Atividades	Período			
	Junho	Julho	Agosto	Setembro
Analise do Problema	■			
Proposta de solução		■		
Desenvolvimento da Solução		■		
Validação da Solução (verificação)		■		
Validação da Solução (Síntese)			■	
Validação da Solução (Layout)			■	
Escrita da monografia				■
Preparação da apresentação				■

Referências

[1] Revista Exame (07/06/2013)

URL: <http://exame.abril.com.br/tecnologia/android/noticias/android-chegara-a-1-bi-de-smartphones-ate-2017>

[2] <http://www.brazilip.org.br/fenix/>

[3] TMS320C60x/C670x DSP Program and Data Memory Controller/Direct Memory Access (DMA) Controller Reference Guide – Texas Instruments

[4] Lima, M.; Santos, F.; Silva, J.F.B.; Lins, T.; Barros, E. “ ipPROCESS: A Development Process for Soft IP-core with Prototyping in FPGA”. Em: Forum on Specification and Design Languages, 2005, Lausanne. Proceedings of Forum on Specification and Design Languages. Lausanne: ECSI, 2005. p.487,498.

[5] Wikipedia (07/06/2013)

URL: http://en.wikipedia.org/wiki/Hardware_description_language

Assinaturas

Recife, 30 de Junho de 2013.

Edna Natividade Silva Barros (Orientadora)

Angelo Silva Brito (Aluno)