Universidade Federal de Pernambuco

Centro de Informática

Desenvolvimento de uma interface de comunicação entre uma McBSP e uma placa DE2 via circuito impresso

*Proposta de Trabalho de Graduação*

**Aluno:** Rafael Diniz Toscano de Lima(rdtl@cin.ufpe.br)

**Orientadora:** Edna Natividade da Silva Barros(ensb@cin.ufpe.br)

**Recife, 12 de abril de 2012**

# 1. Contexto

O projeto Brazil IP[6] é um esforço colaborativo de universidades brasileiras para formar projetistas de circuito integrado durante o período de graduação. A formação desses projetistas ocorre ao longo do projeto de um circuito integrado juntamente com uma série de treinamentos dados por especialistas na área de microeletrônica.

Este esforço é justificado pelo crescimento exponencial de consumo de produtos eletrônicos, o que aumenta a pressão do mercado para o desenvolvimento de sistemas cada vez mais complexos. Associado a isto, temos a expansão da área de processamento digital de sinais, necessária na maioria dos sistemas digitais que interagem com o ambiente, o que gera uma motivação na área de pesquisa e desenvolvimento desse tipo de sistema. O aumento da complexidade e a diminuição da área dos chips, juntamente com a redução do time-to-market, gera a necessidade de planejamento e organização por parte do projetista de hardware[5].

Como participante do programa Brazil IP, a UFPE teve como desafio o desenvolvimento do projeto de um sistema muito utilizado na área de processamento de sinais. Trata-se de uma porta serial de alta velocidade, multicanal e com serialização bufferizada, desenvolvida no padrão da Texas Instruments[1][2]. Este circuito, aqui chamado de McBSP (multi-channel Buffered Serial Port) passou nos últimos três anos pelas etapas do fluxo de projeto do ipPROCESS[3][4] que incluem Especificação de requisitos, Desenvolvimento do Testbench, codificação em RTL e prototipação em FPGA e layout.

Dando continuidade ao processo, o Brazil IP ainda terá o desafio de testar o chip pós-fabricado através de testes automatizados, objetivo maior deste trabalho.

# 2. Objetivo

Este trabalho visa a concepção teórica de uma placa de circuito impresso capaz de comunicar o chip físico da McBSP com a placa de desenvolvimento e prototipação em FPGA DE2 da Altera, dessa forma, pode-se utilizar os recursos da DE2 para a geração de testes automáticos de validação do chip em questão.

A placa de circuito impresso fará comunicação serial com pinos genéricos da DE2, a qual terá o papel de simular o DSP compatível com a McBSP(famílias TMS320C6000/ TMS320C642x da Texas Instruments).

Esta abordagem reduz a complexidade da placa de circuito impresso, visto que muitos dos recursos necessários para o estabelecimento da comunicação, para armazenamento e controle estão disponíveis na DE2, amortizando os custos de fabricação e tempo de desenvolvimento, portanto, sob diversos aspectos, esta abordagem de mostra extremamente vantajosa para os testes do chip pós-fabricado.

 Os testes automáticos tem como objetivo validar as funcionalidades de transferência da porta em funcionamento padrão e consistirão em transferências de arquivos de multimídia, de imagem, de áudio mono e por fim áudio stereo, enviados pela DE2.

# 3. Cronograma

|  |  |
| --- | --- |
|  | Mês |
| Atividade | março | abril | maio | junho |
| Estudo da Especificação do Chip e da DE2 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| Desenvolvimento do software de testes da DE2 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| Levantamento dos requisitos da placa |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| Implementação do layout da placa |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| Escrita do relatório final |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| Preparação da apresentação |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |

# 4. Referências

[1] Texas Instruments (2003) “TMS320C6000 DSP Multichannel Buffered Serial Port (McBSP) Reference Guide”. Literature Number: SPRU580A. Texas, EUA.

[2] Texas Instruments (2007) “TMS320C642x DSP Multichannel Buffered Serial Port (McBSP) Interface”. User’s Guide. Literature Number: SPRUEN2B. Texas, EUA.

[3] Lima, M. ; Santos, F. ; Silva, J. F. B. ; Lins, T. ; Barros, E. “ipPROCESS: A Development Process for Soft IP Core with Prototyping in FPGA”. Em: Forum on Specification and Design Languages, 2005, Lausanne. Proceedings of Forum on Specification and Design Languages. Lausanne : ECSI, 2005. p. 487, 498.

[4] Lira, P. “ipPROCESS 3.0: Inclusão do Fluxo de Desenvolvimento de Hard ip-cores”. Dissertação de Mestrado em Ciência da Computação, Centro de Informática, UFPE. 2009.

[5] Lira, Patrícia. Introdução ao Projeto de Circuitos Integrados Digitais. Apresentação – Centro de Informática da Universidade Federal de Pernambuco.

[6] Brazil-IP. Rede brasileira de centros de concepção de Sistemas Digitais e IP-Cores. URL: <http://www.brazilip.org.br/>

# Assinaturas

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Edna Natividade da Silva Barros

(Orientadora)

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Rafael Diniz Toscano de Lima

(Aluno)

**Recife, 12 de abril de 2012**