UNIVERSIDADE FEDERAL DE PERNAMBUCO
GRADUAÇÃO EM ENGENHARIA DA COMPUTAÇÃO

CENTRO DE INFORMÁTICA
2012.1

Desenvolvimento de Modelo ESL para Controlador de Acesso Direto à Memória (DMA)

PROPOSTA DE TRABALHO DE GRADUAÇÃO

Aluna: Camila Ascendina Nunes (can@cin.ufpe.br)
Orientadora: Edna Natividade Silva Barros (ensb@cin.ufpe.br)

Recife, 13 de abril de 2012.

Índice

Índice.....2
Contexto.....3
Objetivo.....4
Cronograma.....6
Referências.....7
Assinaturas.....8

Contexto

A venda de produtos eletrônicos vem crescendo muito durante os últimos anos, como o exemplo da venda de telefones inteligentes, que mesmo com o mercado europeu em crise a expectativa é que venda daqueles tenha um crescimento de 20% somente este ano [1]. Assim, para atender adequadamente a necessidade do mercado em um curto prazo, utilizam-se os núcleos de propriedade intelectual (Intelectual Property - IP Cores), desenvolvidos por terceiros no projeto de circuitos integrados.

Um dos IP cores bastante utilizado na indústria atualmente é o controlador de acesso direto a memória (Direct Acess Memory - DMA), pois a quantidade de dados que precisam ser movimentados dentro de um dispositivo é numerosa. O controlador de DMA é responsável pela movimentação de dados dentro do ambiente em que se encontra, sem a intervenção do processador, fazendo assim com que tempo e esforço de processamento não sejam desperdiçados com esta tarefa.

É neste cenário que o projeto BRAZIL-IP incentiva e treina estudantes nas áreas de: documentação, verificação, prototipação em ASIC (Application-specific Integrated Circuit) e FPGA (Field programmable Gate Array) de IP-Cores, criando desta forma pessoas capacitadas ao desenvolvimento de circuitos integrados no Brasil. Dezesseis universidades brasileiras participam deste projeto e entre elas encontra-se a UFPE (Universidade Federal de Pernambuco) [2] e um dos projetos desenvolvidos é o controlador de DMA baseado na arquitetura do DMA da Texas Instruments [3].

O projeto controlador de DMA está sendo implementado em conformidade com a metodologia ipProcess. O ipProcess é um processo de desenvolvimento de soft IP-cores baseado no RUP e XP, onde o designer de software inicia a implementação em alto nível, sem a descrição do sistema em linguagem de descrição de hardware (Hardware Description Language - HDL) [4].

Devido às funcionalidades distintas e complexidade, o controlador de DMA foi separado em módulos, são treze blocos ao todo. Cada módulo é responsável por uma atividade do DMA. Esses blocos de código foram especificados em dois níveis de abstração: RTL (Register Transfer Level) e funcional. A especificação RTL cada módulo foi verificada em um ambiente de verificação (testbench), utilizando a metodologia BVM (Brazil-IP Verification Metodology), mas foram encontradas várias dificuldades e problemas ao utilizar esta metodologia para a inserção dos protocolos utilizados no projeto.

Para auxiliar na verificação das funcionalidades do controlador de DMA, o projeto foi prototipado em FPGA (DE2-70 - CycloneII) juntamente com a plataforma contendo o processador NIOS II, barramento AVALON, memória SDRAM e Codec de áudio e assim foi possível testar a comunicação do controlador de DMA com dispositivos e memórias.

Objetivo

Observado o contexto apresentado acima, o presente trabalho tem como objetivo realizar a verificação funcional do Controlador de DMA utilizando para esta atividade a metodologia de verificação para circuitos digitais OVM_tpi (*Open Verification Methodology using Template Programming Interface*) [5] e assim validar os protocolos utilizados no projeto.

O fluxo para a obtenção da estrutura de verificação, partindo da especificação dos casos de teste até a etapa de DUV Execution (*Design Under Verification Execution*), envolverá as seguintes etapas: especificação dos casos de testes, desenvolvimento do TLN, desenvolvimento do modelo de referência (REFMOD), implementação de: Double-Refmod, Duv-Emulation, DUV Execution.

A etapa de especificação de casos de teste compreende a documentação de todas as condições em que o DMA poderá ser submetido em seu ambiente de trabalho. Este documento será desenvolvido baseado nas especificações do plano de verificação do ipProcess [5].

A fase de desenvolvimento do TLN corresponde à escrita do conjunto de sinais utilizados no projeto, esses são descritos em alto nível (transação) para serem utilizados na plataforma de verificação e em baixo nível (sinais) para serem utilizados pelo RTL do DMA.

A etapa de implementação do modelo de referência abrange a descrição em alto nível de todas as funcionalidades do projeto. A verificação será baseada nestas funcionalidades e assim deverá ser o mais completo possível, próximo do ambiente em que o DMA será colocado.

A partir do TLN e do modelo de referência desenvolvido em etapas anteriores, é realizada a criação da estrutura de teste Double-Refmod, que possui como objetivo criar, baseado em templates de OVM_tpi, e testar o comparador e o gerador de estímulos. O comparador é responsável por obter as saídas do refmod e do RTL, e verificar se as duas são iguais, já o gerador de estímulos é responsável por gerar as entradas para o refmod e RTL. São desenvolvidos um gerador de estímulos, um comparador e dois refmods, como mostrado na figura abaixo:

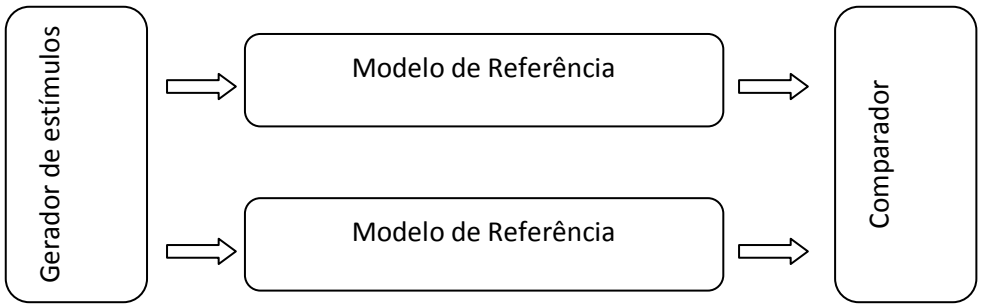

Figura 1 – Diagrama da etapa Double-Refmod

Após o desenvolvimento do Double-Refmod, é criada a estrutura DUV-Emulation que possui como objetivo implementar e validar a conversão das transações em sinais no driver,

para cada transação gerada pelo Gerador de estímulos, e transformar sinais em transações nos drivers. Nesta etapa, são originados drivers, responders e monitores. Como exemplificado na figura abaixo:

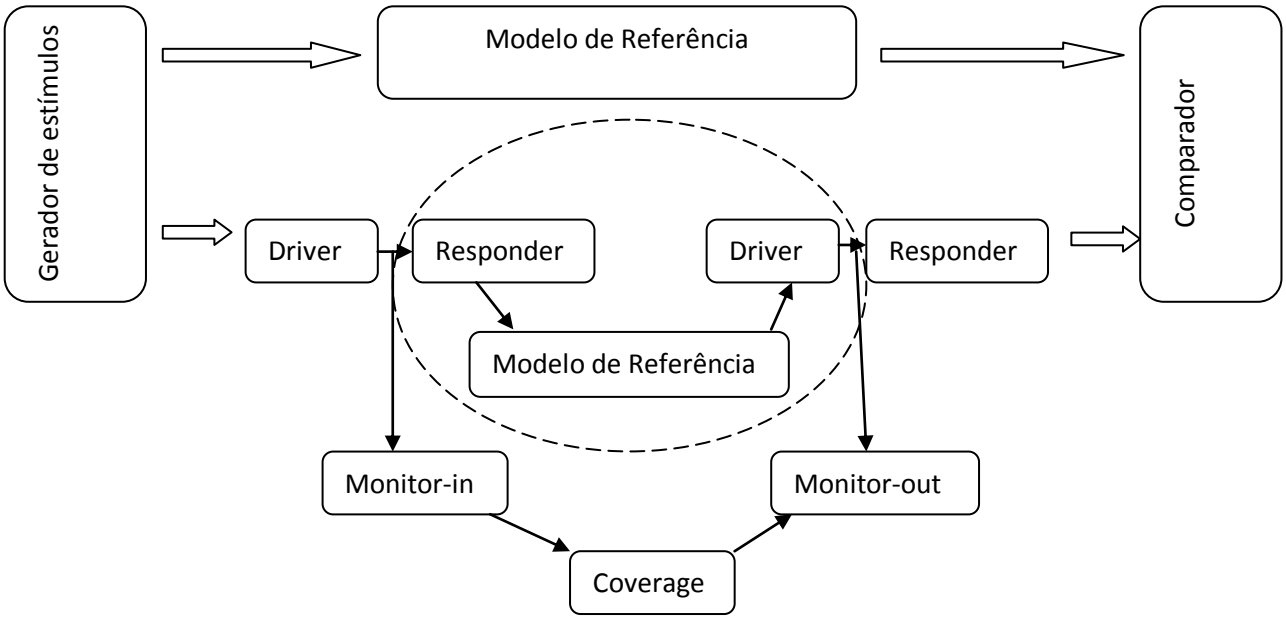

Figura 2 – Diagrama da etapa DUV-Emulation

A última etapa é o desenvolvimento do DUV-Execution, que tem como objetivo validar os drivers, monitors e responders para cada um dos submódulos do modelo de referência. Nesta fase são retiradas as estruturas que estão dentro do circulo pontilhado na figura 2 e neste espaço é colocado o DUV, que compreende o código RTL que foi implementado com as funcionalidades do DMA. Isto pode ser observado, na figura abaixo:

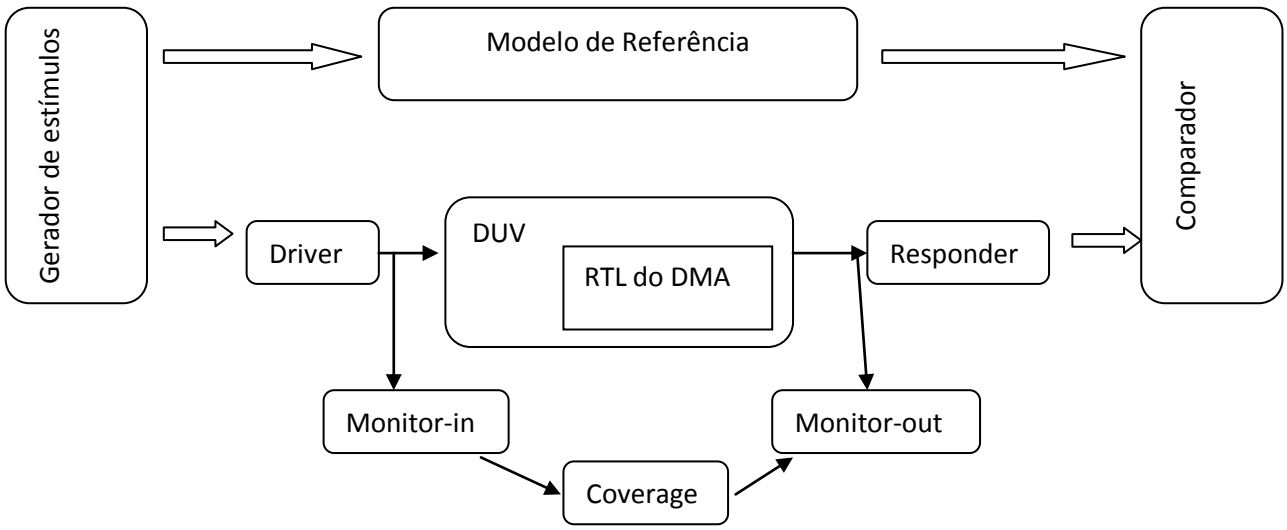

Figura 3 – Diagrama etapa de Duv-Execution

Cronograma

No cronograma a seguir é possível verificar como serão distribuídas as etapas da verificação e do trabalho de graduação durantes os meses.

	Período															
Atividades	**Março**				**Abril**				**Maio**				**Junho**			
Especificação dos casos de teste																
Desenvolvimento do TLN																
Criação do modelo de referência																
Implementação do Double-Refmod																
Implementação do Duv-Emulation																
Implementação do Duv-Execution																
Escrita da monografia																
Preparação da apresentação																

Tabela 1 – Cronograma

Referências

[1] Revista Exame (09/01/2012)

URL: http://exame.abril.com.br/tecnologia/noticias/venda-de-eletronicos-pode-chegar-a-um-trilhao-de-dolares-em-2012

[2] Projeto BrazilIP

URL: http://www.brazilip.org.br/fenix/

[3] TMS320C60x/C670x DSP Program and Data Memory Controller/Direct Memory Acess (DMA) Controller Reference Guide – Texas Instruments

[4] Lima,M.;Santos,F.;Silva,J.F.B.;Lins,T.; Barros,E. " ipPROCESS: A Development Process for Soft IP-core with Prototyping in FPGA". Em: Forum on Specification and Design Languages, 2005, Lausanne. Proceedings of Forum on Specification and Design Laguages.Lausanne: ECSI, 2005. p.487,498.

[5] Camara, R.C.P. "OVM_tpi: Uma Metodologia de Verificação Funcional Para Circuitos Digitais". Dissertação de Mestrado em Ciência da Computação. Centro de Informática. UFPE.2011

Assinaturas

Recife, 13 de abril de 2012.

_____

Edna Natividade Silva Barros (Orientadora)

_____

Camila Ascendina Nunes (Aluna)