

Universidade Federal de Pernambuco  
Graduação em Engenharia da Computação

Centro de Informática  
2011.2

---



PROTOTIPAÇÃO EM ASIC DE UM  
CONTROLADOR DE ACESSO DIRETO À  
MEMÓRIA (DMA)

---

Proposta de Trabalho de Graduação

**Aluna:** Maryane Chagas Barboza Brasilino (mcbb@cin.ufpe.br)

**Orientadora:** Edna Natividade da Silva Barros (ensb@cin.ufpe.br)

Recife, 15 de setembro de 2011

# Índice

Contexto .....	3
Objetivo .....	4
Cronograma .....	6
Referências .....	7

# Contexto

Devido à pressão do mercado de eletrônicos de consumo num intervalo de tempo cada vez menor, a indústria tem aumentado o uso de núcleos de propriedade intelectual (IP Cores) desenvolvidos por terceiros, no projeto de circuitos integrados.

Uma das modalidades de IP Core bastante utilizada em circuitos integrados é o controlador de DMA. A utilização de um controlador de DMA permite que o desempenho do processamento não seja prejudicado enquanto os dados estiverem sendo lidos ou escritos. Isso, pois o DMA permite que as movimentações de dados entre a memória, periféricos internos ou dispositivos externos ocorram sem a intervenção da CPU.

Nesse contexto, o Brazil-IP [1], visando aumentar o nível de competência do país no projeto de circuitos integrados, tem formado estudantes universitários que possam atuar no desenvolvimento de sistemas digitais e IP Cores, expondo-os a práticas de projeto e avaliação do mundo real.

A Universidade Federal de Pernambuco é uma das universidades que fazem parte do Brazil-IP e um dos projetos que estão em andamento nessa universidade é o desenvolvimento de um controlador de DMA[2].

O projeto do controlador de DMA tem sido realizado de acordo com a metodologia do ipPROCESS[3], que já foi utilizada no desenvolvimento de outros IP Cores. O ipPROCESS é um rigoroso processo de desenvolvimento inspirado em metodologias de engenharia de software bem conhecidas como RUP e XP. Dessa forma, o ipPROCESS orienta projetistas para que eles possam adquirir uma compreensão clara e única das funcionalidades e comportamento do IP Core.

Devido à sua complexidade, o controlador de DMA foi dividido em módulos menores e especificado em dois níveis de abstração: RTL e funcional. A especificação RTL de cada módulo foi verificada separadamente em um ambiente de verificação (testbench), utilizando-se a especificação funcional como modelo de referência. Em seguida, os módulos foram integrados e a verificação funcional do módulo Top foi realizada da mesma maneira.

Por fim, a validação das funcionalidades do IP Core foi realizada através da prototipação em FPGA. Além disso, foi criada uma plataforma incluindo um processador Nios e um barramento AVALON para validar a comunicação do DMA com a memória e um dispositivo externo. Para tal, foram utilizados a SDRAM e uma porta serial.

# Objetivo

O objetivo do trabalho proposto é validar o IP Core do controlador de DMA, previamente validado em FPGA, através da prototipação em ASIC. Como base para a realização desse projeto, será utilizado o fluxo de desenvolvimento sugerido pelo ipPROCESS 3.0 [4].

O fluxo para obtenção do ASIC, partindo do Projeto RTL até a obtenção do Projeto Físico, envolverá as seguintes etapas: síntese lógica, inserção de estruturas de teste, geração de vetores de teste e desenvolvimento do layout.

A etapa de síntese lógica tem como objetivo minimizar área e potência e maximizar desempenho, ela faz uso de uma biblioteca específica e de equações booleanas para produzir um conjunto de células e suas interconexões, uma “netlist”.

A etapa de inserção de estruturas de teste será feita seguindo o modelo “internal scan”, que visa minimizar a necessidade de equipamento de teste externo. Dessa forma, uma modificação interna no circuito é realizada. Esse modelo pode ser implementado de duas maneiras: “full scan ” ou “partial scan”. Será utilizada a estratégia “full scan”, que insere estruturas de teste em todo o circuito e permite controlar e observar todos os elementos de armazenamento. Após inserir as estruturas de testes, serão gerados os vetores de teste.

A etapa de desenvolvimento do layout envolve os seguintes passos: “floorplanning”, que define o tamanho do core e possibilita o posicionamento manual de macro-células; “placement”, que posiciona as “standard cells” e leva em consideração as hierarquias dos módulos e a conectividade entre eles em regiões do núcleo definidas pelo “Floorplanning”; síntese da árvore de clock, que é realizada para contornar o problema de “Clock Skew” (diferença máxima de tempo entre a chegada do sinal de clock a dois componentes distintos componentes), e, portanto, força os projetistas a aumentarem o período do clock; “routing”, que define as linhas de alimentação e as rotas seguidas entre as células.

Além disso, também será realizada uma etapa de encapsulamento, que consiste em dispor os chips em cápsulas, possibilitando que os contatos elétricos de E/S do circuito integrado sejam conectados a uma placa de circuito convencional.

Adicionalmente, após a etapa de encapsulamento, serão realizadas as seguintes verificações: “Design Rule Check”, que checa regras que preveem interferências e as

larguras máxima e mínima entre os fios; “Layout Versus Schematic”, que determina se o layout do circuito integrado corresponde ao diagrama do circuito original.

# Cronograma

No cronograma a seguir é possível visualizar como serão distribuídas as atividades do fluxo de desenvolvimento e as atividades relativas ao trabalho de graduação ao longo dos meses.

<i>Atividades</i>	<i>Período</i>															
	Agosto				Setembro				Outubro				Novembro			
Realizar Síntese Lógica	■	■	■	■	■											
Inserir Estruturas de Teste					■	■	■									
Desenvolver Layout							■	■	■	■	■	■				
Escrever Relatório Final										■	■	■	■	■	■	■
Preparar Apresentação															■	■

# Referências

- [1] Brazil-IP. Rede brasileira de centros de concepção de Sistemas Digitais e IP-Cores. URL: <http://www.brazilip.org.br/>
- [2] TMS320C620x/C670x DSP Program and Data Memory Controller/Direct Memory Access (DMA) Controller Reference Guide– Texas Instruments
- [3] Lima, M. ; Santos, F. ; Silva, J. F. B. ; Lins, T. ; Barros, E. “ipPROCESS: A Development Process for Soft IP Core with Prototyping in FPGA”. Em: Forum on Specification and Design Languages, 2005, Lausanne. Proceedings of Forum on Specification and Design Languages. Lausanne : ECSI, 2005. p. 487, 498.
- [4] Lira, P. “ipPROCESS 3.0: Inclusão do Fluxo de Desenvolvimento de Hard ip-cores”. Dissertação de Mestrado em Ciência da Computação, Centro de Informática, UFPE. 2009.

# Assinaturas

---

Edna Barros  
(Orientadora)

---

Maryane Brasilino  
(Aluna)