



Centro de Informática
* * * * * UFPE

Universidade Federal de Pernambuco
Centro de Informática
Departamento de Sistemas de Computação
Graduação em Ciência da Computação



HARDWIRE : um módulo em hardware para a visualização em wireframe de objetos tridimensionais

Proposta de Trabalho de Graduação

Aluno: João Marcelo Xavier Natário Teixeira (jmxnt@cin.ufpe.br)
Orientadora: Judith Kelner (jk@cin.ufpe.br)
Co-orientadora: Veronica Teichrieb (vt@cin.ufpe.br)

Recife, 3 de julho de 2006

HARDWARE

um módulo em hardware para a visualização em wireframe de objetos tridimensionais

Contexto

FPGAs

Desde seu surgimento, há cerca de 20 anos atrás, os FPGAs (*Field-Programmable Gate Arrays*) têm apresentado uma curva de crescimento bastante elevada, no que diz respeito a *hardwares* reprogramáveis [1]. Com o passar do tempo, esse tipo de *hardware* sofreu melhorias em velocidade (frequência de operação), em tamanho (número de elementos lógicos e outros componentes embutidos) e em funcionalidades. Os FPGAs estão ganhando espaço e vem sendo utilizados também na área de renderização de gráficos tridimensionais, o que se justifica devido a sua capacidade de processar algoritmos complexos em *hardware* reconfigurável dinamicamente e de baixo custo.

Realidade Aumentada

Grupos de pesquisa em Realidade Aumentada (RA) [2] atuam fortemente no desenvolvimento de aplicações que combinam ambos, aspectos do mundo virtual e do real. Uma das dificuldades impostas a essas aplicações é a necessidade de adquirir informações do ambiente físico (real), processá-las e retornar para o usuário alguma informação associada, tudo isso em tempo real. Geralmente, a aquisição das características do mundo é realizada através de câmeras e outros tipos de sensores, que repassam a imagem capturada a alguma biblioteca de reconhecimento de imagens (ou bibliotecas de reconhecimento de padrões), como o ARTToolkit [3], o MXRToolkit [4] e o OpenCV [5]. Alguns exemplos típicos de marcadores são regiões com bordas retangulares, geralmente em preto, com uma figura central. A borda indica para a biblioteca que ali existe um marcador, tornando possível através de cálculos determinar sua posição e orientação no espaço, e a figura interna é usada para diferenciá-lo. Em algumas aplicações, ocorre uma sobreposição das imagens do mundo real por elementos virtuais inseridos artificialmente.

O tempo desde a captura até o fim do processamento é bastante crítico, de forma que o usuário não perceba atrasos ou que a execução da aplicação seja comprometida. Para que esse requisito seja alcançado, faz-se necessário *hardware* dedicado para o processamento das informações do ambiente. Uma vez que grande parte das bibliotecas de reconhecimento de padrões, assim como outras mais genéricas de RA são implementadas exclusivamente em *software*, esse "tempo mínimo" só é atingido com o uso de máquinas de última geração, de custo bastante elevado. A implementação em *software* muitas vezes é considerada ineficiente pelo fato do código implementado, por mais otimizado que esteja, ser executado em conjunto com o sistema operacional ou outras aplicações.

A principal vantagem do *hardware* dedicado, entre outras, é a exclusividade de processamento, assim como a possibilidade de duplicação de recursos, responsável pelo paralelismo real (em um mesmo FPGA pode haver vários blocos responsáveis pelo processamento simultâneo dos dados). Essa necessidade de *hardware* dedicado para processamento de aplicações em tempo real pode ser comprovada com o uso de placas de vídeo com alto poder de processamento (como as

HARDWARE

um módulo em hardware para a visualização em wireframe de objetos tridimensionais

Contexto

encontradas no mercado atualmente). Sem esse hardware adicional, tornar-se-ia inviável a execução de tais aplicações.

ARCam

Baseado na idéia de melhoria de desempenho devido à utilização de *hardware* dedicado, o Grupo de Pesquisa em Realidade Virtual e Multimídia do Centro de Informática começou a desenvolver o projeto ARCam. Tal projeto consiste na utilização de um FPGA de porte médio com capacidade equivalente a 60 mil elementos lógicos para a criação de um sistema de RA "*standalone*". O FPGA estaria ligado a uma câmera para efetuar a captura das imagens do ambiente, assim como a um monitor, para mostrar o resultado do processamento, ou seja, a imagem "misturada" (virtual + real).

Esse projeto pode ser dividido em dois grandes módulos. O primeiro funcionaria como as tradicionais bibliotecas de detecção de padrões, responsável por capturar elementos conhecidos do ambiente, inferindo informações sobre localização e outras características relacionadas aos mesmos. Já o segundo receberia, dentre outras, informações sobre o posicionamento e orientação dos objetos (marcadores) detectados e seria responsável por renderizá-los junto à imagem real adquirida. Este trabalho de graduação objetiva a implementação inicial deste segundo módulo, que será futuramente acoplado ao primeiro.

HARDWARE

O Hardware representa o conjunto de elementos responsáveis pela etapa de renderização do projeto ARCam, conforme mencionado anteriormente. Esse módulo será implementado em VHDL (*Very High Speed Integrated Circuits Hardware Description Language*) [6], uma linguagem de descrição de *hardware* comumente usada na programação de FPGAs e circuitos integrados de aplicação específica. Através dessa linguagem é possível determinar o comportamento macro de determinado circuito até o estado em que se encontram suas portas lógicas a cada ciclo de clock. Além das coordenadas dos vértices do objeto tridimensional, assim como uma lista contendo as arestas que o formam, o circuito implementado deve receber, dentre outros parâmetros, as coordenadas de posição da câmera virtual e os vetores de orientação da mesma. De posse desses valores, o módulo realizará transformações de troca de espaço de visualização (coordenadas de mundo para coordenadas de vista), projeção dos objetos na tela e desenho de suas arestas usando algoritmos otimizados para implementação em *hardware*, como o descrito em [7], por exemplo.

Com o objetivo de acelerar o desenvolvimento, serão utilizados valores em um formato de ponto-fixado, previamente escolhido. O objetivo deste Trabalho de Graduação é produzir um módulo inteiramente sintetizável e ao final do desenvolvimento utilizá-lo em uma aplicação e verificar o seu funcionamento na

HARDWIRE

um módulo em hardware para a visualização em wireframe de objetos tridimensionais

Contexto

prática, o que não ocorre em outros trabalhos relacionados, como em [8], pois apenas transformações tridimensionais são implementadas e validadas via simulação.

"A simplicidade é favorecida pela regularidade." [9]
(um dos quatro princípios básicos do projeto de hardware)

HARDWARE

um módulo em hardware para a visualização em wireframe de objetos tridimensionais

Objetivos

Objetivos Gerais

Esse Trabalho de Graduação objetiva estudar métodos e técnicas de implementação de algoritmos de renderização gráfica em hardware, definir uma arquitetura capaz de exercer tal tarefa, implementar o módulo de renderização usando uma linguagem de descrição de hardware (VHDL) e provar seu funcionamento na prática com uma aplicação de RA associada.

Além disso, o Trabalho de Graduação proposto neste documento possui como objetivo contribuir com o desenvolvimento do projeto ARCam. Finalmente, deseja-se com isso impulsionar novos trabalhos na área de desenvolvimento de *hardware*.

Objetivos Específicos

Espera-se, ao término do desenvolvimento deste Trabalho de Graduação, um módulo completamente implementado em *hardware* que realiza as seguintes funções:

- 1) Carregar como entrada uma lista genérica de vértices e arestas que irão compor os objetos virtuais;
- 2) Renderizar os objetos tridimensionais em *wireframe*;
- 3) Sobrepor a imagem do ambiente real capturada com os elementos virtuais gerados;
- 4) Utilizar algoritmos de processamento de imagem simples e otimizados para implementação em *hardware*, de forma a diminuir os requisitos de *hardware* necessários.

HARDWIRE

um módulo em hardware para a visualização em wireframe de objetos tridimensionais

Cronograma

Tabela

Lista de Atividades	Abril	Maior	Junho	Julho	Agosto	Setembro
Pesquisa Bibliográfica	■					
Definição do Escopo e Cronograma	■					
Implementação do Protótipo Inicial em Java		■				
Implementação em VHDL			■	■	■	■
Confecção da Proposta do TG				■		
Escrita do Documento			■	■	■	■
Revisão do Documento						■
Confecção da Apresentação						■

• Tabela 1. Cronograma do Trabalho de Graduação.

As atividades relacionadas a este Trabalho de Graduação tiveram início em Abril de 2006.

Descrição das Atividades

Segue abaixo uma breve descrição das atividades listadas no cronograma:

Pesquisa Bibliográfica: essa atividade compreende a busca por trabalhos na área de implementação de algoritmos relacionados ao processamento de imagens em *hardware*, assim como novas idéias que contribuam com o desenvolvimento do projeto.

Definição do Escopo e Cronograma: essa atividade destina-se à definição do escopo do trabalho, levando em consideração o tempo disponível e o que se deseja obter como resultado final.

Implementação do Protótipo Inicial em Java: essa atividade é responsável por fornecer um suporte para a validação do módulo em VHDL. A maior parte das funcionalidades almejadas no FPGA será implementada primeiramente usando a linguagem Java, de forma que se possa escolher a melhor forma de organização do fluxo de processamento dos algoritmos e definir uma arquitetura eficiente para o projeto.

HARDWIRE

um módulo em hardware para a visualização em wireframe de objetos tridimensionais

Cronograma

Implementação em VHDL: essa atividade compreende a implementação e verificação funcional dos componentes que fazem parte do módulo Hardwire. Nessa etapa, todos os algoritmos anteriormente implementados em *software* necessários ao módulo em *hardware* serão traduzidos para a linguagem de descrição de *hardware* VHDL.

Confecção da Proposta do TG: essa atividade compreende a redação do documento que contém uma breve descrição dos tópicos abordados pelo projeto e o que se deseja alcançar ao término do período.

Escrita do Documento: essa atividade engloba a criação de um dos artefatos mais importantes do trabalho: o relatório do Trabalho de Graduação. Nele estarão presentes todos os passos e dificuldades surgidas durante a implementação, bem como o material de pesquisa utilizado durante o trabalho.

Revisão do Documento: essa atividade representa a etapa final da elaboração do relatório do trabalho, com correções e alterações sugeridas pelas orientadoras.

Confecção da Apresentação: essa atividade, baseada no documento produzido na etapa anterior, consiste na elaboração da apresentação final, responsável por descrever o projeto e os resultados obtidos com esse trabalho.

HARDWIRE

um módulo em hardware para a visualização em wireframe de objetos tridimensionais

Referências

- [1]** Field-programmable gate array. URL: <http://en.wikipedia.org/wiki/FPGA>. Visitado em julho, 2006.
- [2]** Bimber, O., Raskar R. "Spatial Augmented Reality". A K Peters, Ltd. 2005.
- [3]** ARToolkit. Disponível em: Human Interface Technology Lab site. URL: <http://www.hitl.washington.edu/artoolkit>. Visitado em janeiro, 2006.
- [4]** Bath, W., Paxman, J., "UAV Localisation & Control Through Computer Vision", Australian Robotics & Automation Association, 2005.
- [5]** Open Source Computer Vision Library. Disponível em: Intel Corporation site. URL: <http://www.intel.com/technology/computing/opencv>. Visitado em janeiro, 2006.
- [6]** VHASIC Hardware Description Language. URL: <http://en.wikipedia.org/wiki/Vhdl>. Visitado em julho, 2006.
- [7]** Foley, J. D., van Dam, A., Feiner, S. K., Hughes, J. F. "Computer Graphics: Principles and Practice". Second Edition in C. USA: Addison - Wesley, 2005.
- [8]** Mc Keon, D. "Synthesizable VHDL Model of 3D Graphics Transformations", dezembro de 2005.
- [9]** Patterson D. A., Hennessy J. L. "Computer Organization and Design: The Hardware/Software Interface". Third Edition. Morgan Kaufmann. 2004.

HARDWIRE

um módulo em hardware para a visualização em wireframe de objetos tridimensionais

Datas e Assinaturas

3 de julho de 2006

Orientadora

Judith Kelner

Co-orientadora

Veronica Teichrieb

Aluno

João Marcelo Xavier Natário Teixeira