



Universidade Federal de Pernambuco
Graduação em Ciência da Computação
Centro de Informática

2005.2

Proposta de Trabalho de Graduação

Estudo Comparativo de Projetos de Hardware Orientado a Controle em Níveis Comportamental e de Transferência entre Registradores

Aluno: Vítor Schwambach Costa (vsc@cin.ufpe.br)
Orientadora: Edna Natividade da Silva Barros (ensb@cin.ufpe.br)

Recife, 10 de outubro de 2005

Contexto

Na última década a indústria de produtos eletrônicos vivenciou um período de grande explosão na demanda dos mesmos, causada pela rápida difusão das redes internet e de telecomunicações. A alta competitividade e o grande volume característicos destes mercados foram responsáveis por uma mudança drástica por parte da indústria de eletrônicos. O *time-to-market*, ou tempo entre a idéia inicial e a comercialização do produto, sofreram uma diminuição significativa de cerca de dois anos no início dos anos noventa para apenas seis meses atualmente [1].

Desde então a busca por formas de otimizar o desenvolvimento dos sistemas embarcados acelerou, surgindo soluções como *Platform Based Design* e o uso de *IP-cores*. Todavia, o projeto dos componentes ainda é desenvolvido utilizando-se o nível de transferência entre registradores, ou RTL. Neste nível os projetistas são obrigados a desenvolverem seus projetos baseados em componentes próximos do *hardware* final, despendendo grande parte do seu tempo em como organizar estes componentes de forma que o sistema tenha o comportamento esperado ao final.

Com o objetivo de permitir ao programador se concentrar em descrever o comportamento que o sistema deve possuir ao invés de desperdiçar seu tempo buscando alternativas de implementação utilizando componentes de baixo nível, surge a síntese comportamental. Ela consiste em gerar uma implementação em RTL a partir de uma descrição em nível algorítmico do comportamento do sistema. Isso possibilita a exploração de diversos algoritmos e arquiteturas, inviável com o modelo original em nível RTL[2].

Durante anos universidades e indústria fizeram tentativas de desenvolver ferramentas de síntese comportamental, no entanto o resultado que produziam não era satisfatório[3]. Apenas recentemente, no ano de 2004, a Forte Design Systems[4] lançou uma ferramenta de síntese comportamental que finalmente provia um resultado satisfatório, o Cynthesizer[5]. Atualmente na sua versão 2.5 o Cynthesizer é a ferramenta de síntese comportamental mais utilizada, tendo sido adotada por gigantes no mundo digital como a Sanyo[6].

Ferramentas de síntese comportamental são voltadas a projetos orientados a algoritmos, ou seja, projetos que tenham um número reduzido de lógica condicional[7,8]. Essencialmente, qualquer projeto onde os dados de entrada são lidos, processados por um algoritmo conhecido e então repassados para outro circuito. No entanto, isso não acontece com projetos orientados a controle, onde a maior parte do circuito deve-se à natureza condicional do controle.

Objetivo

O foco do trabalho é identificar que tipos de componentes comumente utilizados em sistemas orientados a controle são passíveis de ser descritos e implementados a partir do nível comportamental. Tal informação é extremamente importante para reduzir ao máximo o tempo de projeto, podendo ser futuramente incluída na metodologia ipPROCESS[9].

A análise será baseada na arquitetura do Microcontrolador 8051 da Intel, o que se deve ao fato de ser uma arquitetura aberta bastante difundida e por já haver uma descrição em nível RTL para o mesmo desenvolvida no contexto do projeto Fênix[10] da rede Brazil-IP[11] no Centro de Informática da UFPE. Para atingir o supracitado objetivo, duas macro-etapas foram definidas as quais serão descritas a seguir.

Na primeira etapa, será realizada a substituição da ferramenta Design Compiler da Synopsys como ferramenta de tradução SystemC para Verilog pela ferramenta CynthVLG da Forte Design Systems na tradução do modelo RTL do Microcontrolador 8051. Esta etapa é necessária para garantir que o fluxo a partir do nível RTL seja o mesmo tanto para o modelo comportamental quanto para o RTL. Além disso, isso proporciona uma alternativa ao uso da tradução SystemC para Verilog na ferramenta Design Compiler, que nas versões mais novas não mais oferece esta funcionalidade. Uma vez que o modelo RTL esteja sintetizado e funcionando em FPGA, prosseguiremos para a próxima etapa.

Nesta segunda etapa, o objetivo é selecionar alguns periféricos do 8051 e descrevê-los em nível comportamental. Em seguida os mesmos serão sintetizados utilizando-se várias opções de arquitetura até que se encontre uma adequada. Então estes periféricos serão sintetizados e prototipados em FPGA para que sejam validados.

Finalmente, os dados dos dois modelos serão coletados e analisados para que se chegue à conclusão de quais categorias de periféricos devem ser descritas em nível comportamental e quais devem ser descritas em nível RTL.

Cronograma	2005												2006		
Atividade	Outubro				Novembro				Dezembro				Janeiro		
Estudo inicial do Cynthesizer															
Síntese do modelo RTL do 8051															
Curso sobre Síntese Comportamental															
Reconfiguração do Ambiente															
Seleção dos componentes a serem analisados															
Implementação dos componentes em nível comportamental															
Síntese dos componentes e coleta dos resultados															
Recesso															
Análise dos resultados															
Elaborar relatório															
Elaborar apresentação															

Referências

- [1] Edna Barros, Guido Araújo e Elmar Melcher (2005) *"BrazilIP Network: a new paradigm for cooperating in the design of Intellectual Properties Modules IP's"*;
- [2] *"Got System-Level Synthesis?"*, Clive Max (2005), EETimes, <http://www.eetimes.com/news/design/showArticle.jhtml;jsessionid=CA4F3BJFU0DN0QSNDBECKH0CJUMKJVN?articleID=60402139> (ultimo acesso em outubro de 2005);
- [3] Behavioral Synthesis, Jack Jorgan (2004), EDA Cafe Weekly, http://www.edacafe.com/magazine/index.php?run_date=26-Apr-2004&newsletter=1, (acessado em outubro de 2005);
- [4] Forte Design Systems, <http://www.forteds.com> (acessado em outubro de 2005)
- [5] *"Cynthesizer Overview"*, Forte Design Systems, <http://www.forteds.com/products/cynthesizer.asp> (acessado em outubro de 2005);
- [6] *"Sanyo Adopts Forte's Cynthesizer for Design"*, Appliance Magazine (2004), http://www.edacafe.com/magazine/index.php?run_date=26-Apr-2004&newsletter=1 (acessado em outubro de 2005);
- [7] *Cynthesizer Methodology Guide*, For Cythesizer 2.4.0 (2005), Forte Design Systems;
- [8] *"The FSM Network Model for Behavioral Synthesis of Control-Dominated Machines"*, Wayne Wolf (1990), Princeton University;
- [9] ipPROCESS, <http://www.brazilip.org.br/ipprocess>, (acessado em outubro de 2005);
- [10] Projeto Fênix, <http://www.brazilip.org.br/fenix>, (acessado em outubro de 2005);
- [11] Brazil-IP Network, <http://www.brazilip.org.br>, (acessado em outubro de 2005);

Assinaturas

Recife, 10 de outubro de 2005

Edna Natividade da Silva Barros
Orientadora

Vítor Schwambach Costa
Proponente