

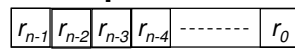
LATCHES e FLIP-FLOPs

Aula 9

GRECO-CIN-UFPE

Latches e Flip-Flops

■ Como implementar uma célula de memória?

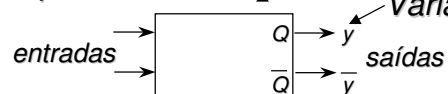


Registrador de n bits

célula $\{0,1\} = 1$ bit de informação

Componente de memória

Flip-Flop/Latches



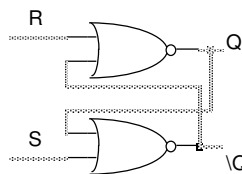
- **Para que a variável de estado mude é preciso que ocorram determinadas combinações nas variáveis de entrada.**
- **Uma vez alterada, a variável de estado permanecerá num estado fixo até que volte a ocorrer certas combinações de entrada.**

Latches e Flip-Flops

- Latches e Flip-Flops são componentes primitivos de memória
- Latches
 - São componentes cuja saída responde apenas à mudança da entrada.
 - Latch sem controle de relógio - Neste caso a saída é função direta da entrada.
 - Latch sensível a nível (clocked) (Sensível a nível) - A saída é modificada apenas quando o circuito é habilitado através de um sinal **enable** ou **clock**.

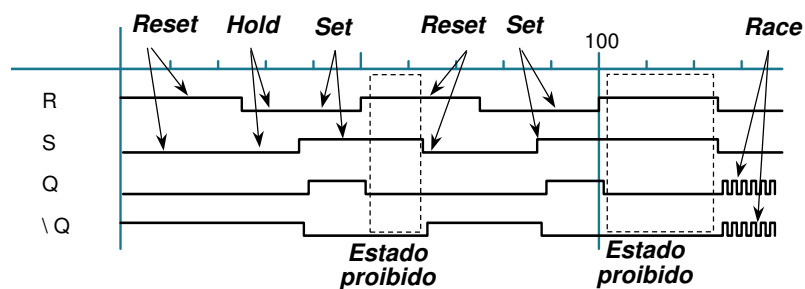
Latches e Flip-Flops

☑ Latch RS

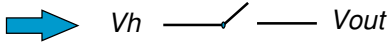


S	R	Q
0	0	Mantém Q
0	1	0
1	0	1
1	1	Indefinido

Diagrama de tempo do latch RS

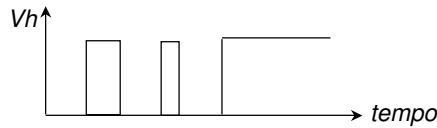


Chaveamento de sinais eletrônicos usando Latches RS

- Sinais digitais podem ser introduzidos em um sistema através de chaves mecânicas.
- Quando aberta $V_{out} = 0\text{ V}$ 
- Quando fechada $V_{out} = V_h$

■ Problema

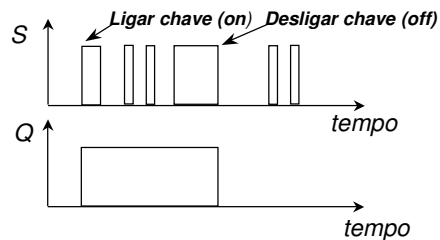
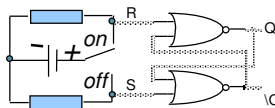
- Quando a chave aberta é fechada, seus contatos mecânicos vibram ou “bounce” por um curto período de tempo até estabilizar e fechar completamente.
- Este bounce causa transientes indesejáveis na tensão de saída, que provocam um comportamento irregular do circuito digital (circuito lógico)



Chaveamento de sinais eletrônicos usando Latch RS

■ Solução

- Retirar o “bounce” usando um Latch tipo RS, ou seja, o circuito pode ser “debounced”.

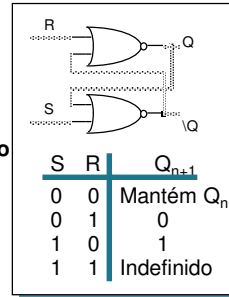


- O Latch RS responde quase que instantaneamente a primeira subida do sinal de entrada na linha R ou S. Assim quando a chave é ligada (on) ($S=1, R=0$), a posição do Latch irá para o estado $Q=1$ na primeira parte do “bounce”.
- Mesmo que a chave vibre o sinal permanecerá estável, desde que ($S=0, R=0$) mantém o estado do Latch.
- Assim $Q=1$ até que o operador desligue a chave (off).
- Colocando a chave em off, o Latch vai para um novo estado ($S=0, R=1$) com $Q=0$. O comportamento será similar ao caso anterior.

Latches e Flip-Flops

Funcionamento do Latch RS

- **S=0, R=0**
 - O próximo estado tem valores iguais aos valores anteriores (estado estável)
- **S=0, R=1**
 - Esta condição de entarda provoca um reset no latch, forçando Q_{n+1} para zero ('0'), \bar{Q}_{n+1} para '1'.
- **S=1, R=0**
 - Nestas condições o latch é "setado", ou seja Q_{n+1} vai para o nível lógico '1', $\bar{Q}_{n+1} = '0'$.
- **S=1, R=1** Não usado. Por que?
 - Neste caso em particular as duas saídas seriam '0', o que implicaria de imediato na inconsistência com a teoria das saídas Q e \bar{Q} .
 - Um outro ponto crítico ocorre quando passamos deste estado para S=0 e R=0. Neste caso, seguindo a tabela verdade e o comportamento do Latch, a saída deveria permanecer inalterada, o que não ocorre, gerando um estado indefinido para Q_{n+1} e \bar{Q}_{n+1} . Devido a esta ambigüidade a condição S=1 e R=1 não é usada para Latch RS.

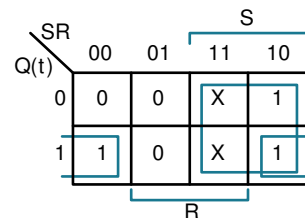


Latches e Flip-Flops - RS

☑ Tabela verdade do latch RS Próximo estado = F(S, R, Current State)

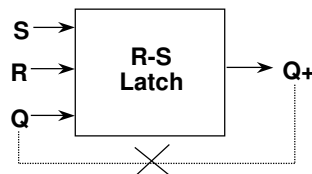
S(t)	R(t)	Q(t)	Q(t+Δ)	
0	0	0	0	Mantém
0	0	1	1	
0	1	0	0	Reset
0	1	1	0	
1	0	0	1	Set
1	0	1	1	
1	1	0	X	Indefinido
1	1	1	X	

Mapa de Karnaugh



Equação de próximo estado:

$$Q+ = S + \bar{R} Q(t)$$



Latches e Flip-Flops - RS

☑ Latch RS - sensível a nível

- ☑ Latches sensíveis a nível mostram continuamente suas entradas enquanto são habilitados ($\text{enb} = 0$)

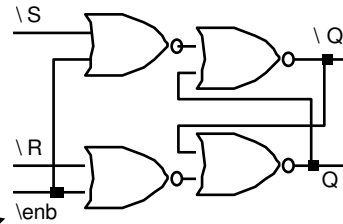
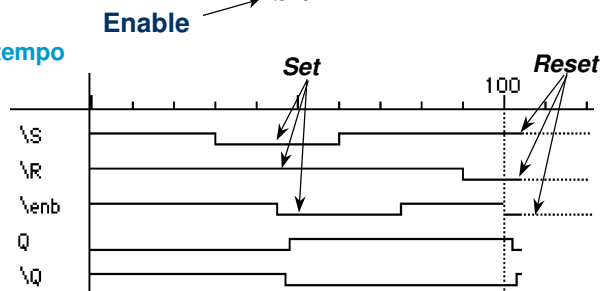
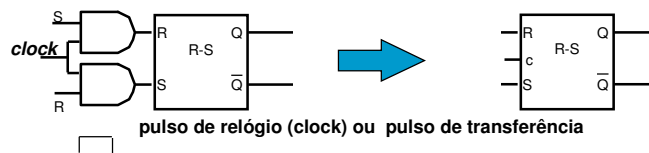


Diagrama de tempo



Latches e Flip-Flops - RS

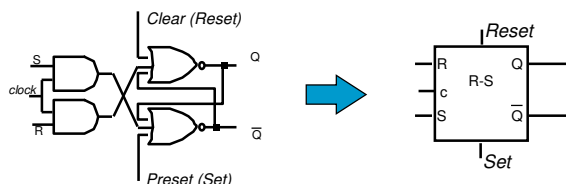
- Para que um Latch funcione corretamente as entradas S (ou R) só podem ser alteradas quando o circuito alcançar um estado estável
- Como conseguir isto? **Introduzir um relógio (clock)**



- A largura do pulso de clock deve ser suficiente para que o circuito alcance o próximo estado.
- O tempo entre dois pulsos deve ser suficiente para que o flip-flop alcance o estado permanente.
 - A saída começa a mudar Δt após o pulso de clock ser aplicado e uma nova saída em estado permanente aparece $2 \Delta t$.
 - Se a entrada muda enquanto o pulso de clock estiver ativo (alto), o funcionamento do circuito pode não ser o esperado.

Latches e Flip-Flops - RS

■ Clear e Preset



Clear (Reset)	Preset (Set)	Q	Q'
0	0	normal	normal
1	0	0	1
0	1	1	0
1	1	Não usado	Não usado

* com clock = '0'

Latches e Flip-Flops - JK

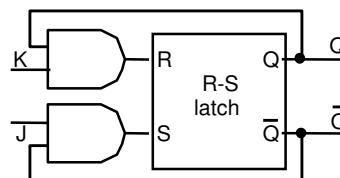
☑ Latch JK

Como eliminar o estado proibido dos Latches tipo RS?

Usar uma re-alimentação para garantir que R e S nunca são "1".

Est. Pres. Pró. Estado

J(T)	K(t)	Q(t)	Q(t+Δ)	
0	0	0	0	HOLD
0	0	1	1	
0	1	0	0	RESET
0	1	1	0	
1	0	0	1	SET
1	0	1	1	
1	1	0	1	TOGGLE
1	1	1	0	



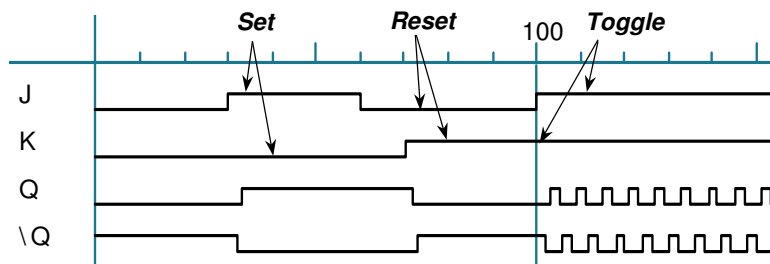
Equação de próximo estado

$$Q+ = Q \bar{K} + \bar{Q} J$$

Quando J e K são iguais a "1" a saída é invertida (Toggle)

Latches e Flip-Flops - JK

- ☑ Latch J-K (Condição de concorrência - Racing)



Nesta estrutura o latch começa a oscilar (Toggle)

- ☑ O Latch deveria mudar de estado a cada evento de relógio. Para solucionar esta problema devemos usar a estrutura Master/Slave (Mestre/Escravo).

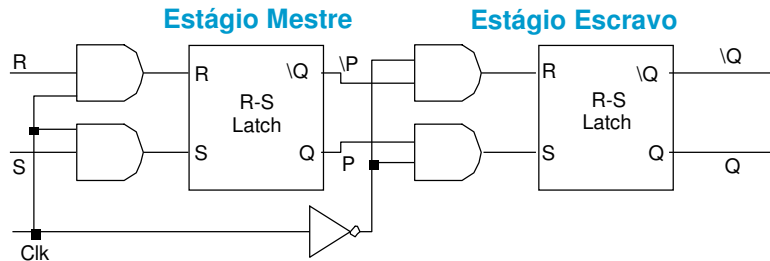
Latches e Flip-Flops

■ Flip-Flop

- São componentes de memória, que diferentemente dos latches, permitem que suas saídas mudem apenas na transição do relógio ou clock.
 - Flip-Flop que dispara na subida do relógio (positive edge-triggered). Mostra suas entradas na saída quando o clock vai de do nível lógico '0' para o nível lógico '1'.
 - Flip-Flop que dispara na descida do relógio (negative edge-triggered). Mostra suas entradas na saída quando o clock vai de do nível lógico '1' para o nível lógico '0'.
 - Flip-Flop Mestre-Escravo

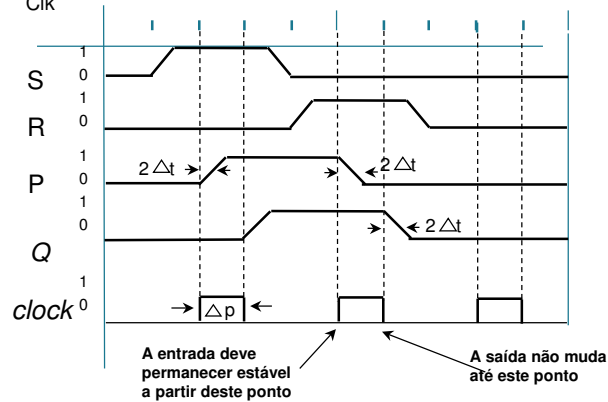
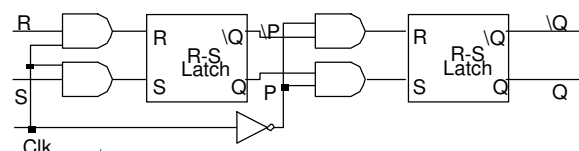
Latches e Flip-Flops - RS

Flip-Flop mestre-Escravo



- ☑ Entrada disponível no latch Mestre enquanto o relógio está alto.
- ☑ Saída disponível do latch Escravo quando o relógio for para nível lógico baixo. Relógio liberado para o estágio escravo.
- ☑ Observe que o estágio Escravo está bloqueado (relógio está baixo).
- ☑ Observe que o estágio Mestre está bloqueado (relógio está baixo).

Latches e Flip-Flops - RS

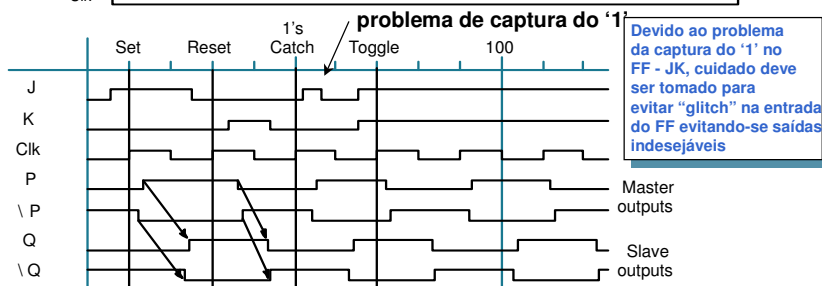
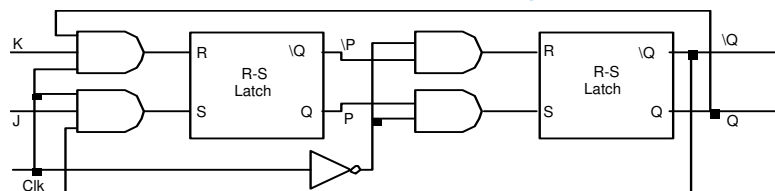


Latches e Flip-Flops - JK

Flip-Flop JK Mestre Escravo

Estágio Mestre

Estágio Escravo



Flip-Flop tipo D

Características

- Flip-Flop tipo D construído a partir de um Flip-Flop tipo RS
- A saída recebe a entrada
- Equação de próximo estado:

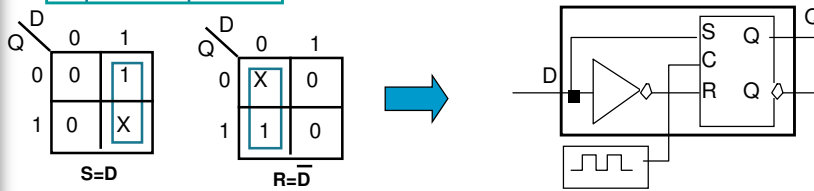
Estado presente Próximo estado $Q^+ = D(t)$

D	Q	Q ⁺	R	S
0	0	0	X	0
1	0	1	0	1
1	1	1	0	X
0	1	0	1	0

D	Q	Q ⁺
0	0	0
1	0	1
0	1	0
1	1	1

$Q^+ = D$

Flip-Flop D implementado a partir de Flip-Flop tipo RS



Flip-Flop tipo D a partir de FF JK

■ Características

- Flip-Flop tipo D construído a partir de um Flip-Flop tipo JK
- Equação de próximo estado:

$$Q(t+\delta) = D(t)$$

	D	
	0	1
Q	0	1
	1	1

$Q^+ = D$

$D = Q = 1, Q^+ = 1$
Então $J = X, K = 0$

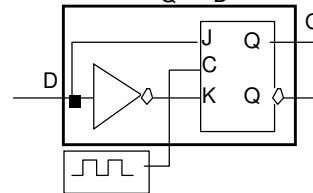
$D = Q = 0, Q^+ = 0$
Então $J = 0, K = X$

	D	
	0	1
Q	0	1
	1	X

$J = D$

	D	
	0	1
Q	0	X
	1	0

$K = \bar{D}$



Flip-Flop D implementado a partir de Flip-Flop tipo JK

Flip-Flop tipo T

■ Características

- Flip-Flop tipo T construído a partir de um Flip-Flop tipo JK
- A saída Q é invertida sempre que $T = '1'$.
- Equação de próximo estado: $Q(t+\delta) = T(t)\bar{Q}(t) + \bar{T}(t)Q(t)$

T	Q	Q ⁺	J	K
0	0	0	0	X
1	0	1	1	X
1	1	0	X	1
0	1	1	X	0

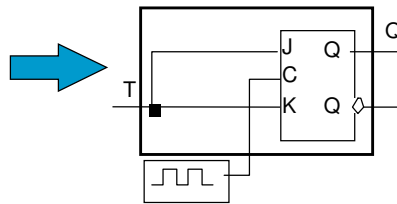
Flip-Flop T implementado a partir de Flip-Flop tipo JK

	T	
	0	1
Q	0	1
	1	X

$J = T$

	T	
	0	1
Q	0	X
	1	0

$K = T$



Flip-Flops

✓ Tabela verdade dos Flip-Flops

Q	Q+	R	S	J	K	T	D
0	0	X	0	0	X	0	0
0	1	0	1	1	X	1	1
1	0	1	0	X	1	1	0
1	1	0	X	X	0	0	1

✓ Equações de próximo estado dos Flip-Flops

R-S: $Q_+ = S + \bar{R}Q$

D: $Q_+ = D$

J-K: $Q_+ = J\bar{Q} + \bar{K}Q$

T: $Q_+ = T\bar{Q} + \bar{T}Q$

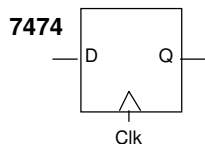
Flip-Flops

■ Características

- ✓ **R-S Clocked Latch:**
*Usado como elemento de memória.
Fundamental na construção de outros tipos de Flip-Flops.*
- ✓ **Flip-Flop J-K**
*Construção versátil
Pode ser usado na construção de Flip-Flops D e T
Usualmente requer menos lógica para implementar controles sequenciais*
- ✓ **Flip-Flop D**
*Reduz conexões, preferível em projetos VLSI
Técnica simples em projetos
Melhor escolha para registradores*
- ✓ **Flip-Flop T**
*Não existe na realidade. São construídos a partir de Flip-Flops JK.
Usualmente é uma boa escolha em projetos de contadores.*

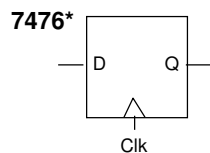
Latches e Flip-Flops - RS

Flip-Flop - trigado na subida do relógio



☑ Dispositivo que dispara, ou seja, carrega o dado de entrada na descida do relógio (Negative Edge Triggered).

Latch - sensível a nível

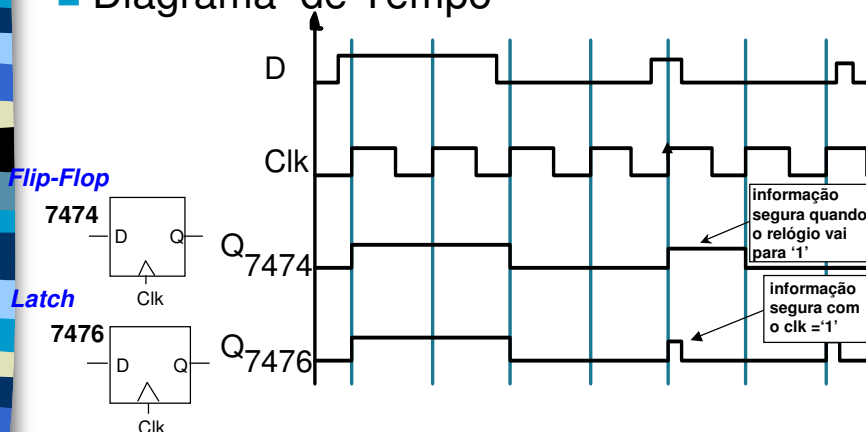


☑ Dispositivo no qual a informação de entrada fica disponível na saída enquanto o relógio estiver ativado (enable).

*Obs: Tipo D a partir do JK

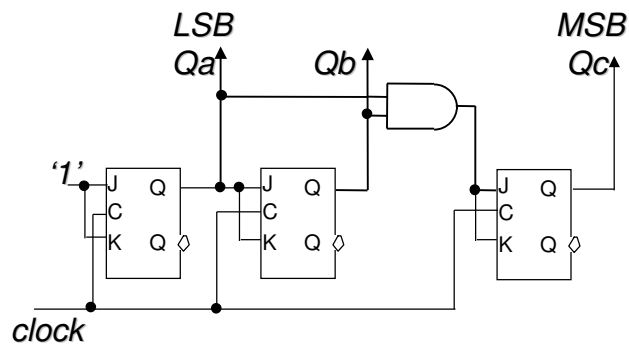
Latches e Flip-Flops - RS

■ Diagrama de Tempo



Exercício

- Implementar o diagrama de tempo do circuito abaixo e identificar sua funcionalidade



Exercício

- *Flip-Flop trigado na borda* - Entender seu funcionamento
 - Além do FF tipo Master-Slave existem dois outros modelos largamente utilizados:
 - **Positive edge-triggered** (Trigado na borda positiva 0 → 1), ou seja na subida do relógio.
 - **Negative edge-triggered** (Trigado na borda negativa 1 → 0), ou seja na descida do relógio.
- **Exemplo (FF-D trigado na descida)**

