



Pós Graduação

Comparações Tecnologias

Aula 1

Prof. Abel Guilhermino

Agenda

- Sistemas Embarcados
- Motivação
- Abordagens
 - ASICs
 - FPGAs
 - Microcontroladores
 - ADLs
- Aplicações
- Direções

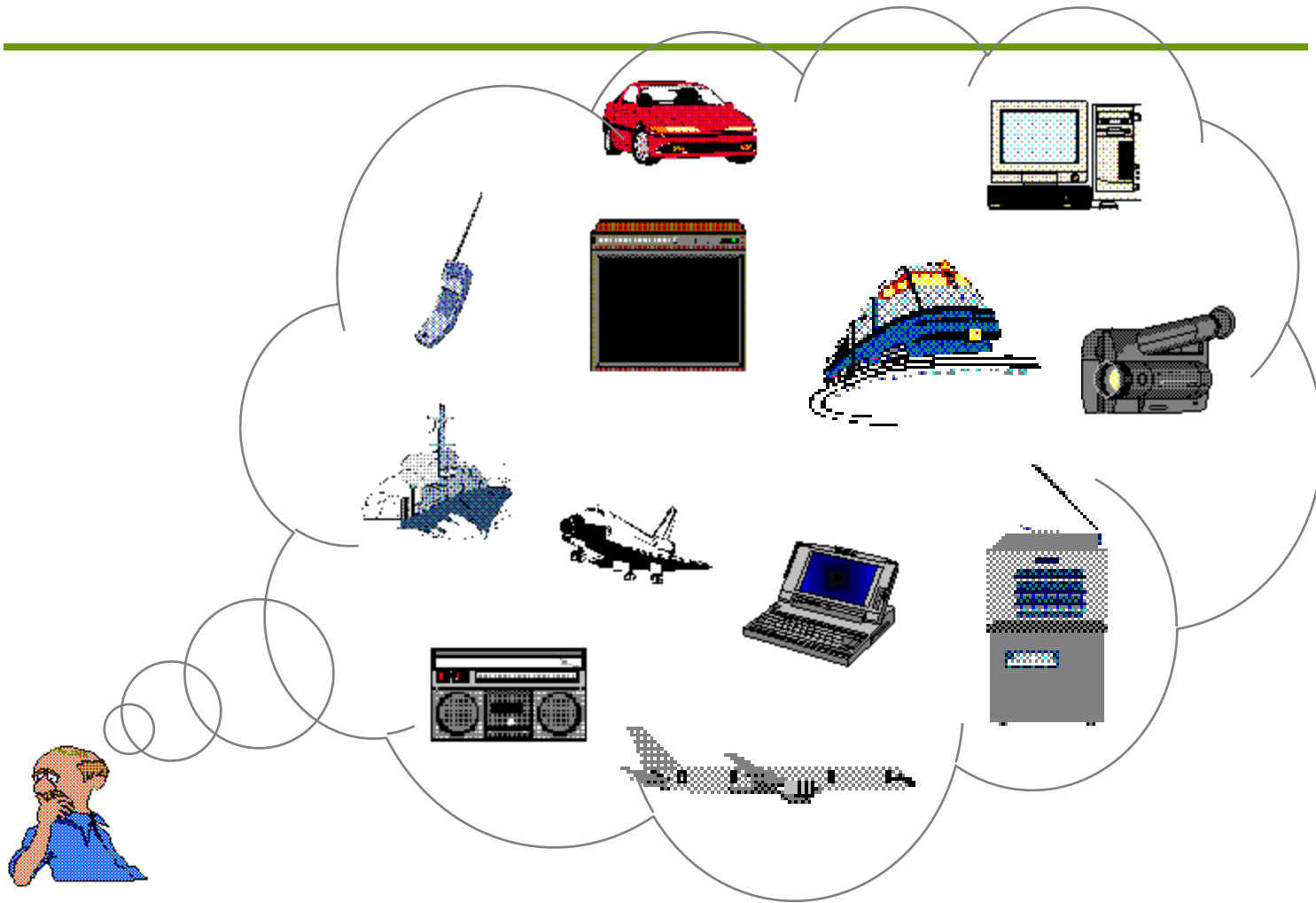
Sistemas Embarcados

- Um **Sistema Embarcado** é um sistema computacional embutido em um sistema maior, e programado para realizar uma tarefa específica.
- É também chamado de Sistema Embutido, ou do inglês “Embedded System”.

Onde estão os Sistemas Embarcados?

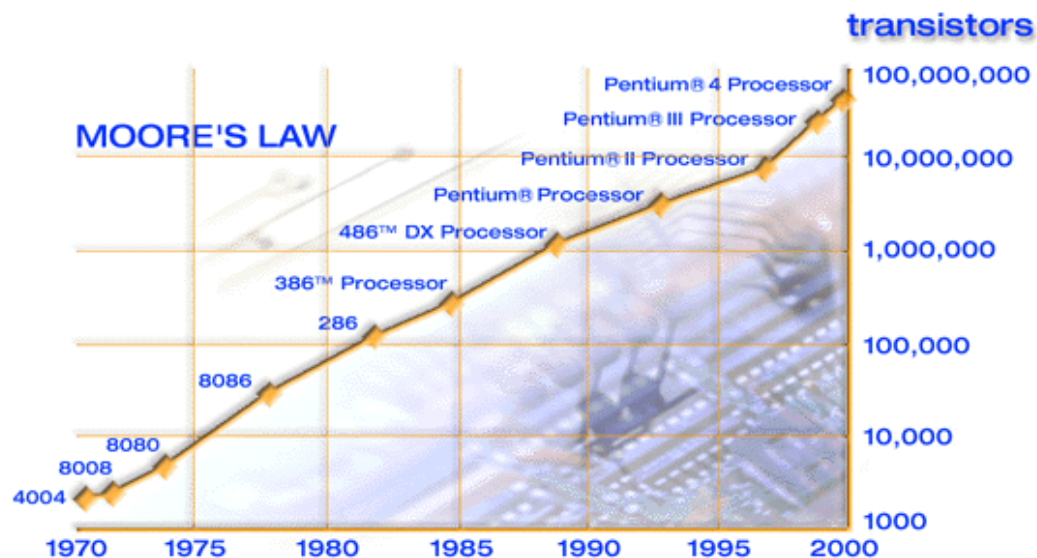
Abel Guilhermeino
agsf@cin.ufpe.br

- Agenda
- S. Embarcados**
- Motivação
- Abordagens
- ASICs
- FPGAs
- Microcontrolador
- ADLs
- Aplicações
- Direções



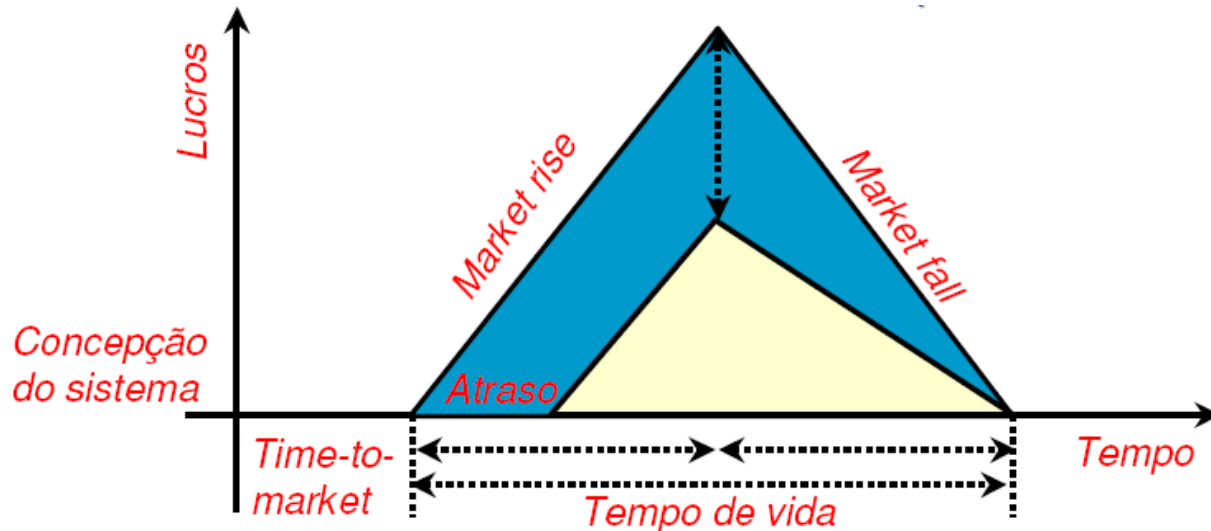
Motivação

- Aumento da Complexidade dos CIs
- Densidade dos transistores dobrando a cada 18 meses (Moore)
- Propicia aplicações digitais agregar cada vez mais funcionalidade em equipamentos de menor volume



Motivação

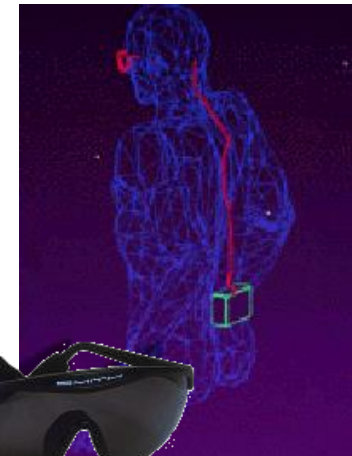
- A Complexidade das aplicações atuais tem aumentado
- Aumento no tempo de desenvolvimento de projetos.
- Aquecimento no mercado de sistemas embarcados, incentivado a alta competitividade entre os produtores
- Incentivado a geração de novas ferramentas CAD



Motivação



Low Power
Alto Desempenho
Pouca Área

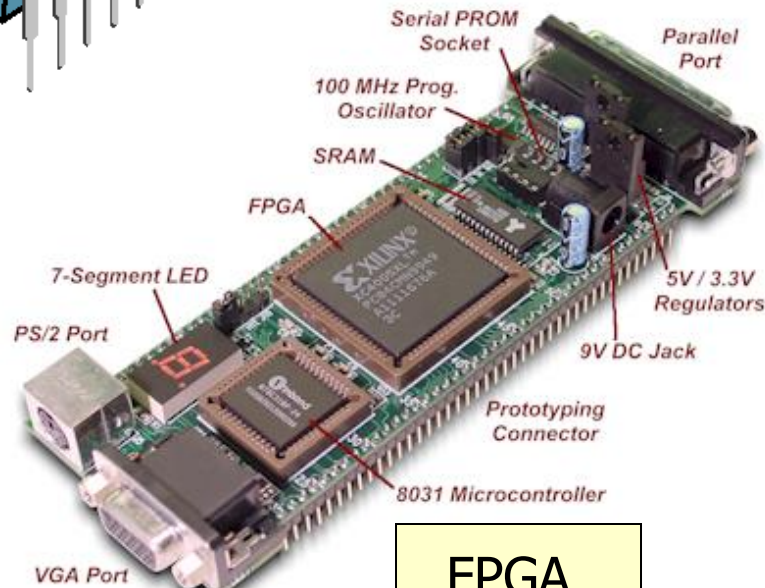
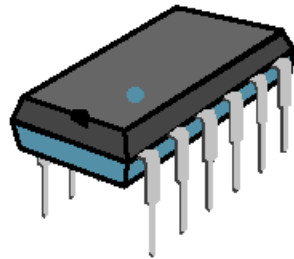


Abordagens

Abel Guilhermino
agsf@cin.ufpe.br

- Agenda
- S. Embarcados
- Motivação
- Abordagens**
- ASICs
- FPGAs
- Microcontrolador
- ADLs
- Aplicações
- Direções

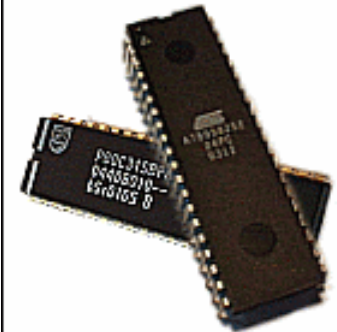
ASIC



FPGA

Microcontroladores

ATMEL
&
8031



Microcontroladores

Agenda

S. Embarcados

Motivação

Abordagens

ASICs

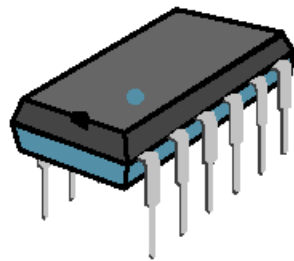
FPGAs

Microcontrolador

ADLs

Aplicações

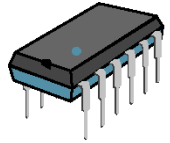
Direções



ASICs

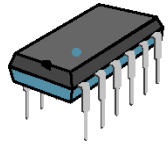
*Application-Specific Integrated
Circuit*

ASICs (*Application-Specific Integrated Circuit*)



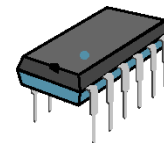
- Vantagens
 - Hardware mais rápido
 - Mais gates por chip
 - Low power
 - Baixo custo por venda chip (demanda)
- Desvantagens
 - Difícil mudança de processos
 - Layout e projeto físico
 - Correção lenta de falhas: semanas
 - Hardware permanente, mudanças requer novo projeto
 - Elevado custo de fabricação

Processo Fabricação Chip



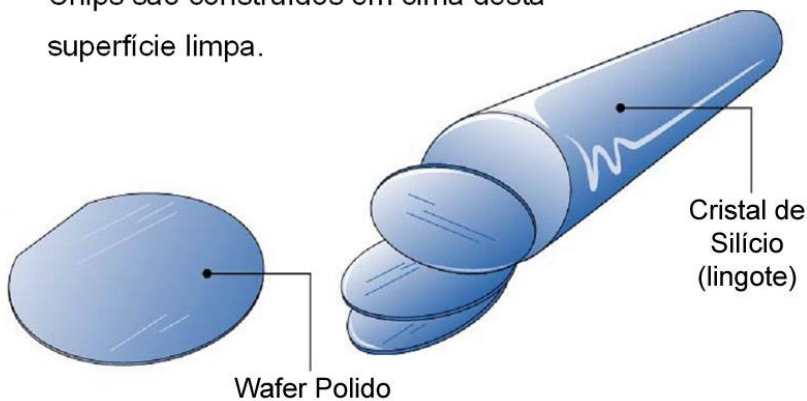
- Projeto do Chip
 - Como o chip irá funcionar
- Fabricação do Wafer
 - Principal processo
- Preparação do Núcleo
 - Cortar os chips do Wafer
- Encapsulamento
 - Terminais e envólucro são adicionados ao chip
- Teste
 - O chip é testado e então vendido

Processo Fabricação Chip



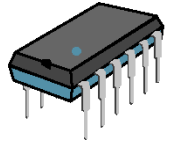
Fabricação

Chips são construídos em cima desta superfície limpa.



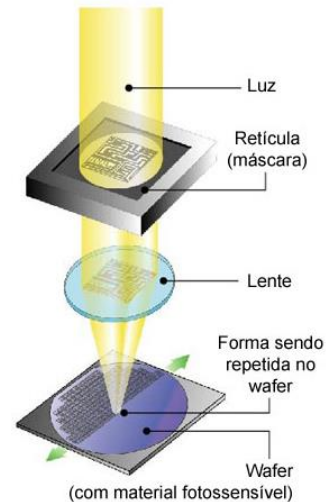
- Lingote feito de silício puro (300mm)
- Lingote fatiado em wafers
- Wafers são polidos
- Chips fabricados sobre o wafer

Processo Fabricação Chip



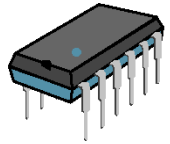
Criando formas no silício.

- Colocamos uma camada em cima da outra.
 - Com um isolante entre elas.
- Usamos máscaras para criarmos as formas

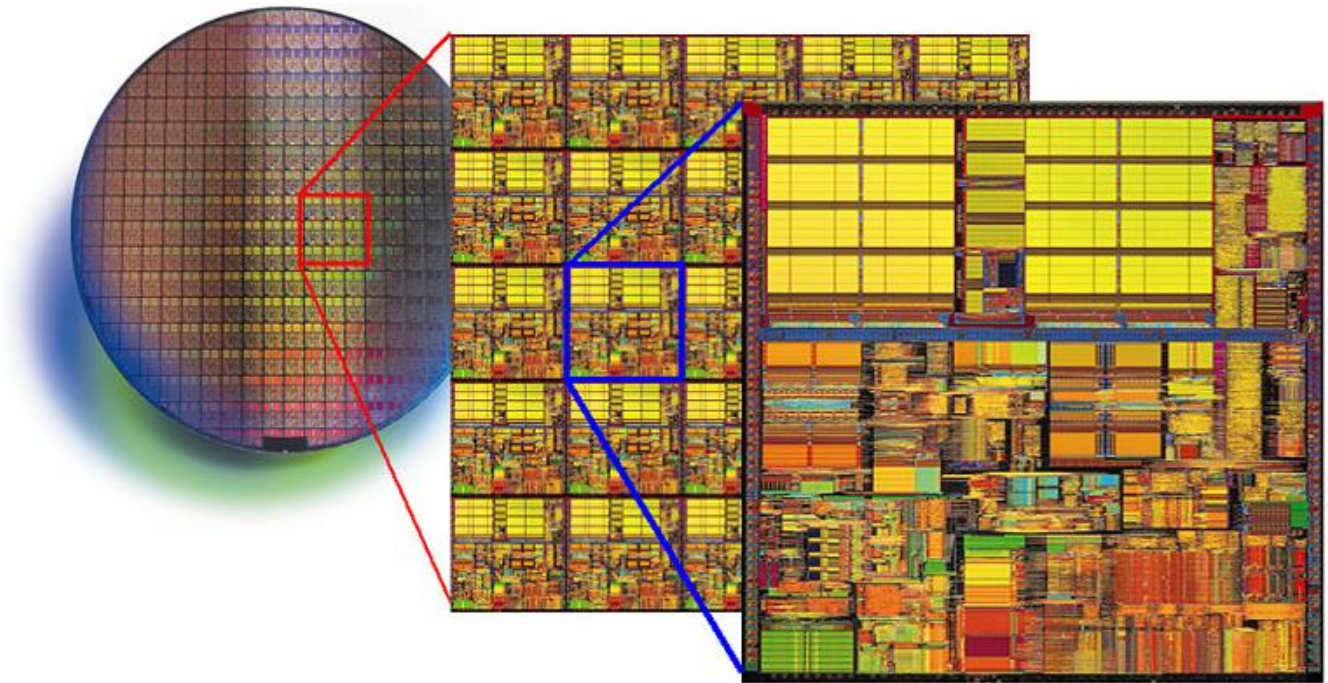


- Chips fabricados no wafer p/ fotolitografia
- Wafer é coberto por uma **substância fotossensível**, que é solúvel quando exposta a luz ultravioleta.
- A máscara é aplicada e o wafer exposto a **luz ultravioleta**.
- Processo finaliza quando todas as máscaras forem aplicadas

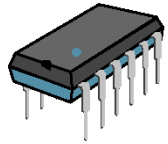
Processo Fabricação Chip



- Wafer com processadores Pentium 4 após o processo de fabricação (26 máscaras e 7 camadas de metal)

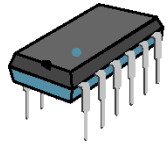


Sala Limpa

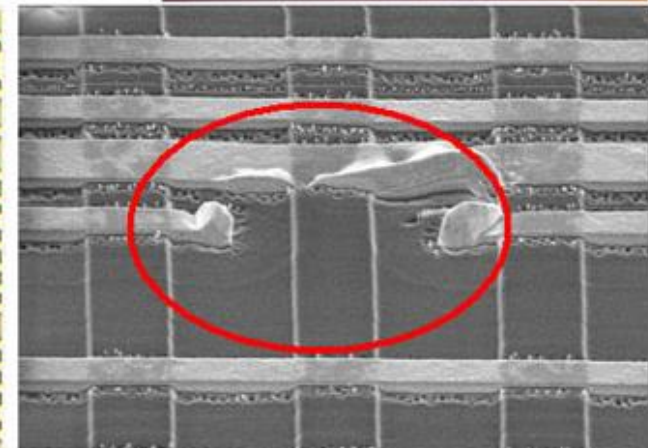


- Todos os processos descritos ocorrem dentro de uma sala limpa com uso de “bunny suits”

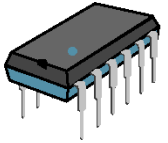
Porque Tão Limpa!



- Qualquer partícula (até poeira) pode destruir o silício...



Resumo ASICs



- Hardware mais rápido
- Baixo consumo de energia
- Mudanças requer novo projeto
- Necessidade de Layout do projeto
- Correção lenta de falhas
- Elevado custo de fabricação
- Custo baixo quando vendido em larga escala

Centro de Informática

Cin

UFPE

Abel Guilhermeino
agsf@cin.ufpe.br

Agenda

S. Embarcados

Motivação

Abordagens

ASICs

FPGAs

Microcontrolador

ADLs

Aplicações

Direções

FPGA

Field Programmable Gate Array

FPGAs

- São circuitos programáveis compostos por um conjunto de blocos lógicos alocados em forma de uma matriz.
- Cada fabricante nomeia seu bloco lógico:
 - Xilinx → CLB (Configurable Logic Block)
 - Actel → LM (Logic Module)
 - Altera → LE (Logic Element)

FPGA da Xilinx

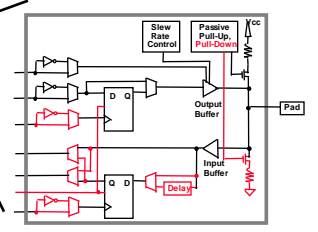
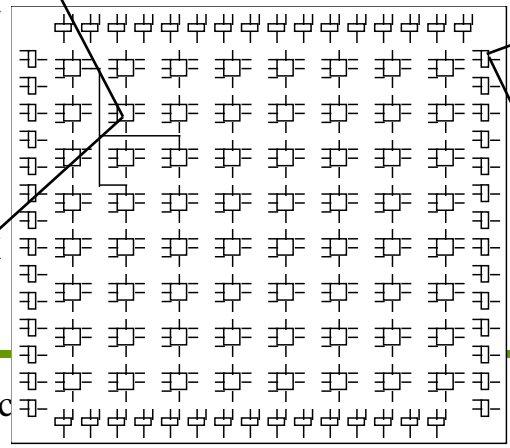
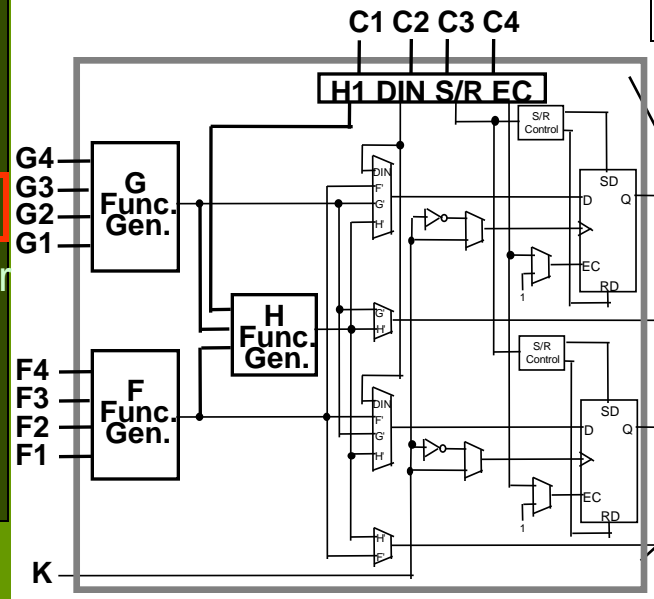
Abel Guilhermeino
agsf@cin.ufpe.br

- Agenda
- S. Embarcados
- Motivação
- Abordagens
- ASICs
- FPGAs**
- Microcontrolador
- ADLs
- Aplicações
- Direções

XC4000 XILINX Architecture

Blocos Lógicos Configuráveis (CLBs)

Component	4003E	4005	4006	4008E	4010E	4013E
Logic Cells	238	466	608	770	950	1,368
Max Logic Gates	3K	5K	6K	8K	10K	13K



I/O Blocks (IOBs)

FPGAs

- Reconfiguração
 - Total
 - Dispositivo reconfigurável é totalmente alterado
 - Parcial
 - Uma parte do FPGA é reconfigurado
 - Tipo:
 - Não-disruptiva
 - Disruptiva
 - Dinâmica
 - Não há necessidade de reiniciar o circuito ou remover elementos reconfiguráveis para programação

FPGAs

- Linguagem de Descrição de Hardware (HDL)
 - É própria para modelar a estrutura e/ou comportamento de um hardware
 - Exemplos: VHDL, VERILOG, AHDL (desenvolvida para Altera), Handel-C, SDL, ISP, ABEL, etc...
 - Foco : VHDL
 - VHDL (**V**ery High Speed Integrated Circuit) **H**ardware **D**escription **L**anguage

FPGAs

- Formas de descrição de circuitos digitais em VHDL
 - Algorítmica
 - Conjunto de passos que descreve de forma comportamental o circuito digital projetado
 - Fluxo de Dados
 - Pode ser visualizada como a transferência entre registradores possibilitando o paralelismo de instruções.
 - Estrutural
 - Indica os diferentes componentes que constituem o circuito e suas respectivas interconexões.
 - Desta maneira pode-se especificar um circuito e saber como é seu funcionamento

FPGAs

- Elementos Sintáticos do VHDL
 - A Linguagem VHDL oferece suporte a descrição de trechos concorrentes.
- Execução Seqüencial
 - If else, for, while,
 - Processos
- Execução Concorrente
 - When else, With Select When

Ferramentas FPGA

Abel Guilhermino
agsf@cin.ufpe.br

Agenda
S. Embarcados

Motivação

Abordagens

ASICs

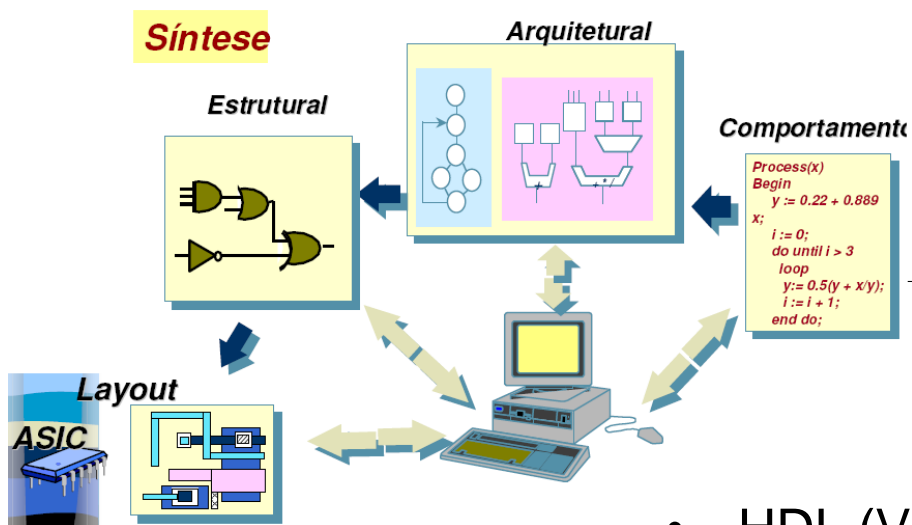
FPGAs

Microcontrolador

ADLs

Aplicações

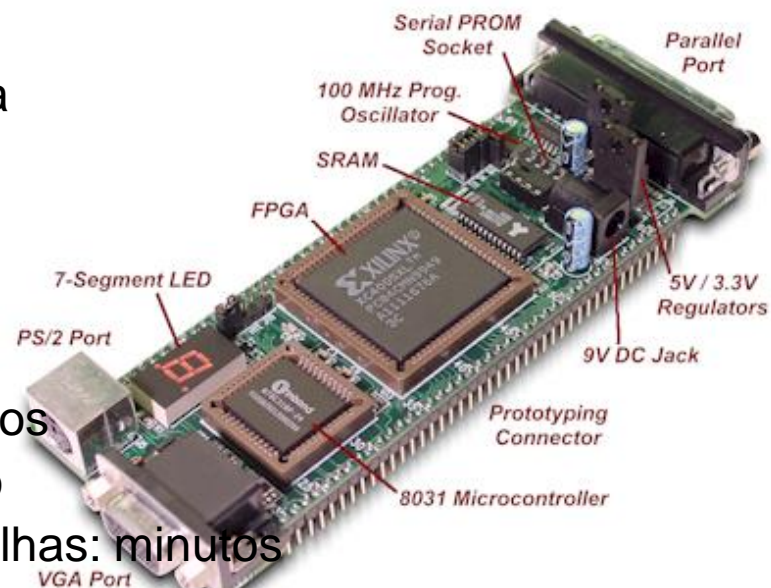
Direções



- HDL (VHDL, Verilog)
- Plataformas (Prototipar)
 - Xilinx x Altera x Synopsys
- CAD
 - ISE, Excalibur
- Testes

FPGA

- Desvantagens
 - Hardware mais lento (Comparado ao ASIC)
 - Menos gates por chip
 - Mais consumo de potência
 - Alto custo por gate
- Vantagens
 - Processamento Rápido
 - Fácil mudança de processos
 - Sem layout e projeto físico
 - Rapidez na correção de falhas: minutos
 - Pode adicionar novas funções facilmente
 - Customização no campo
 - Explora Paralelismo



Centro de Informática

Cin

UFPE

Abel Guilhermeino
agsf@cin.ufpe.br

Agenda

S. Embarcados

Motivação

Abordagens

ASICs

FPGAs

Microcontroladores

ADLs

Aplicações

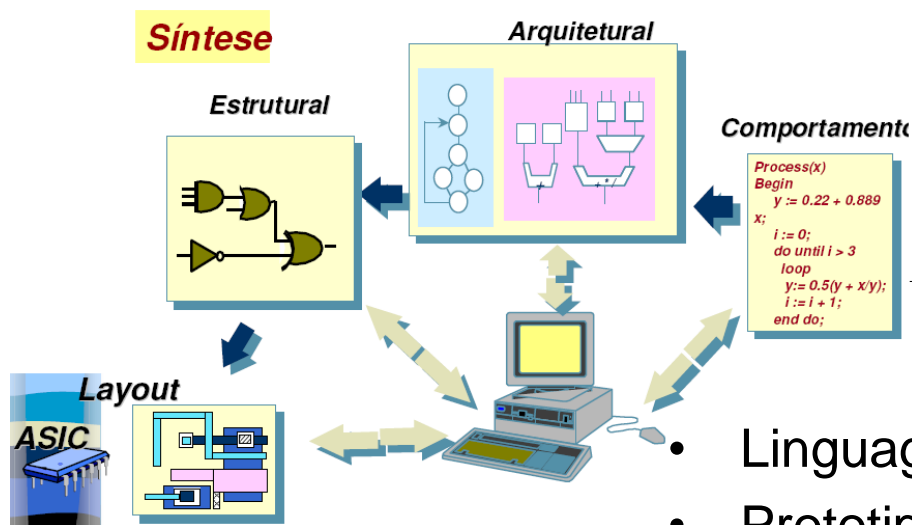
Direções

Microcontroladores

Arquitetura do 8051

- Características
- Tipos de memória
- Registradores básicos
- Registradores de Funções especiais
- Timers
- Comunicação Serial
- Interrupções
- Pinagem 8051

Ferramentas Microcontrolador



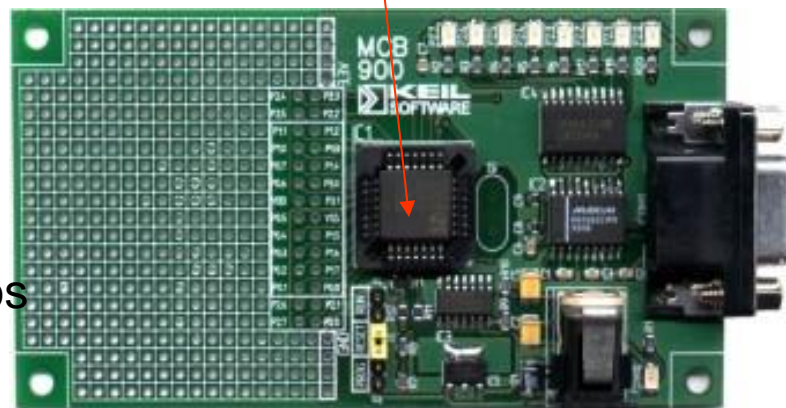
- Linguagens (C, Assembly)
- Prototipagem
 - Protoboards
- CAD
 - Keil, CircuitMaker, Eagle
- Confecção de Placa (opcional)
- Testes

Microcontroladores

Abel Guilhermeino
agsf@cin.ufpe.br

Agenda
S. Embarcados
Motivação
Abordagens
ASICs
FPGAs
Microcontroladores
ADLs
Aplicações
Direções

- Desvantagens
 - Hardware mais lento (Comparado ao FPGA)
 - Menos consumo comparado ao FPGA
- Vantagens
 - Solução mais barata
 - Fácil mudança de processos
 - Sem layout e projeto físico
 - Rapidez na correção de falhas: minutos
 - Pode adicionar novas funções facilmente
 - Customização no campo



Centro de Informática

Cin

UFPE

Abel Guilhermeino
agsf@cin.ufpe.br

Agenda

S. Embarcados

Motivação

Abordagens

ASICs

FPGAs

Microcontrolador

ADLs

Aplicações

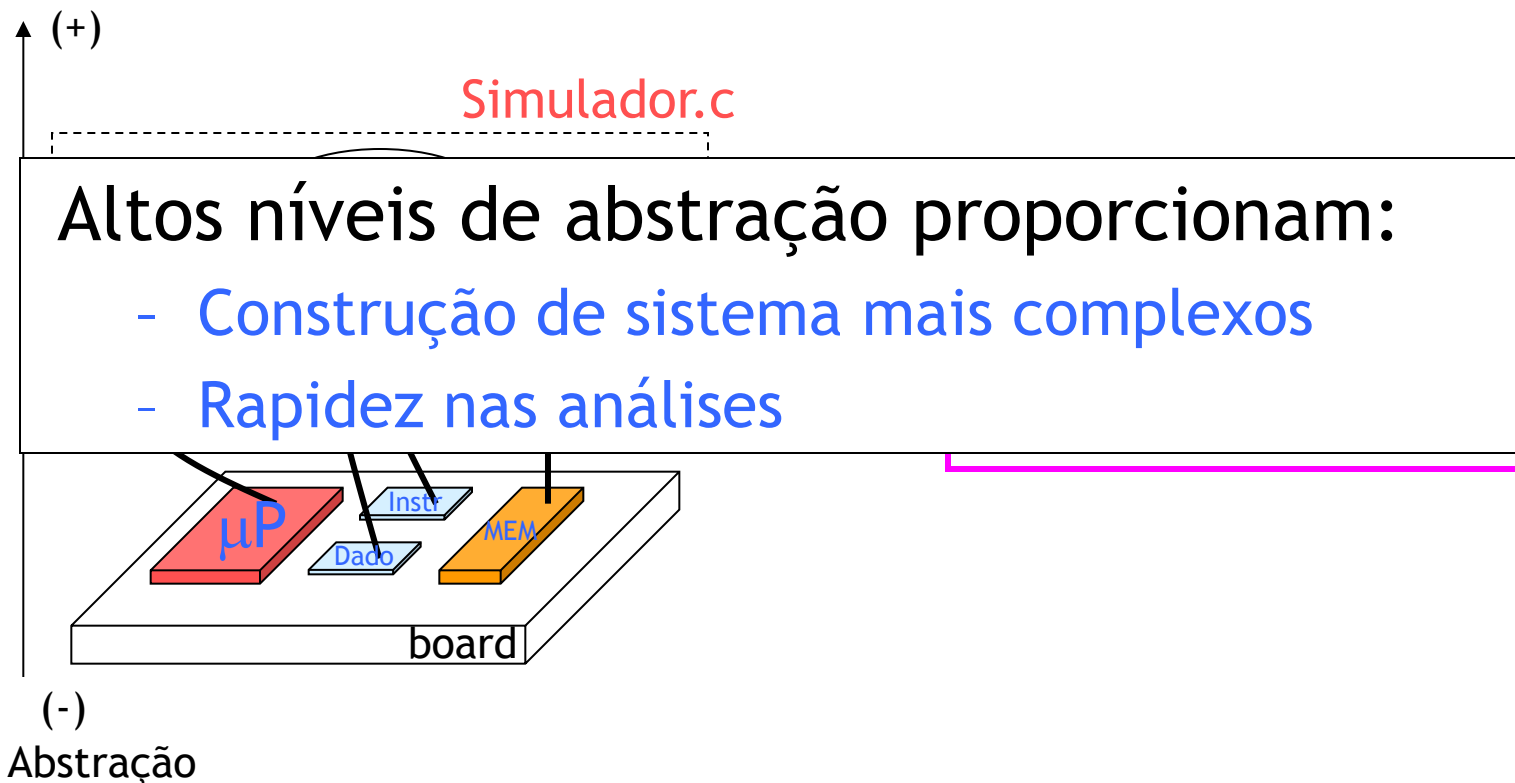
Direções

Linguagens de Descrição de Arquitetura

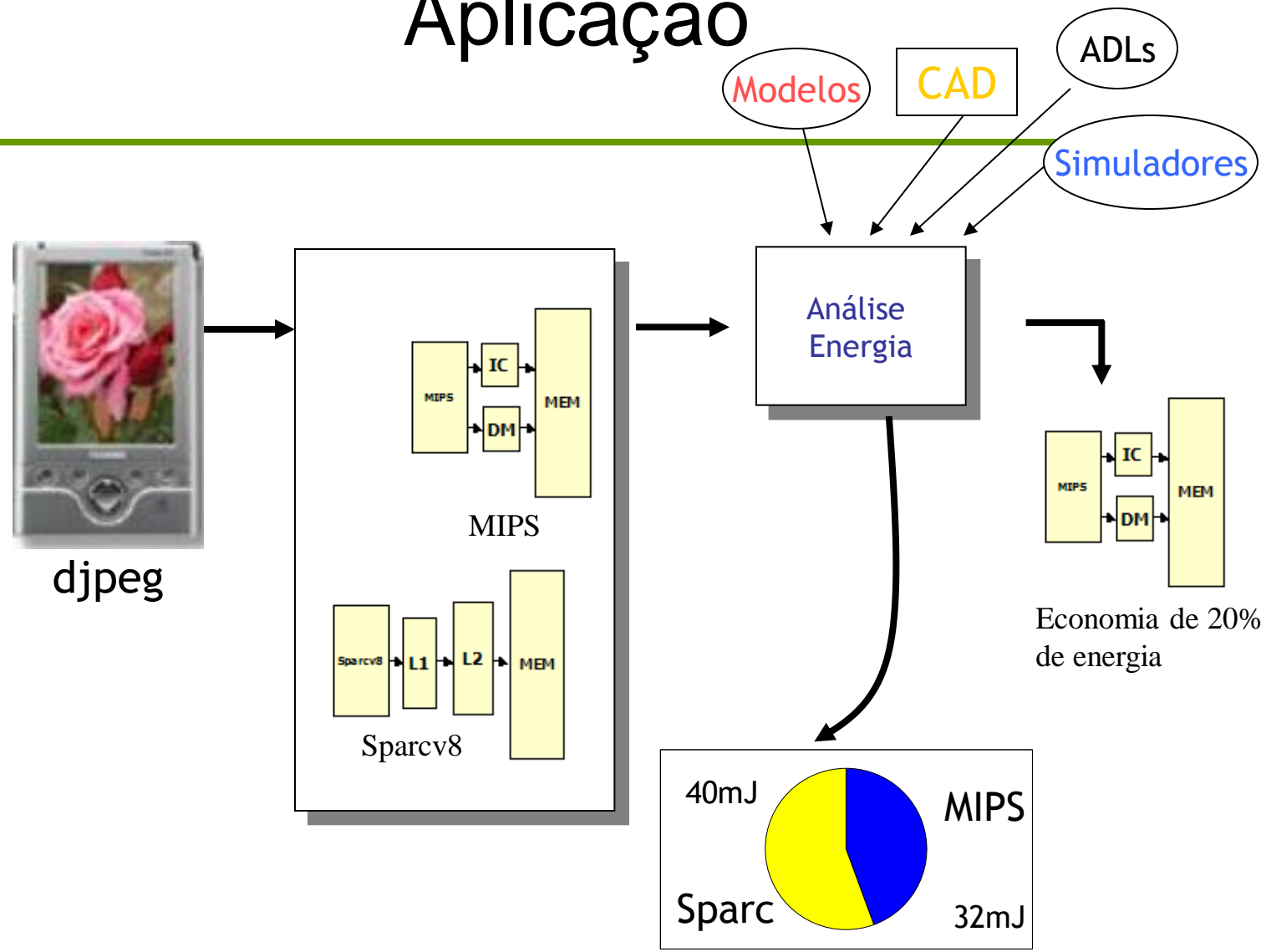
Nível de Abstração

Abel Guilhermeino
agsf@cin.ufpe.br

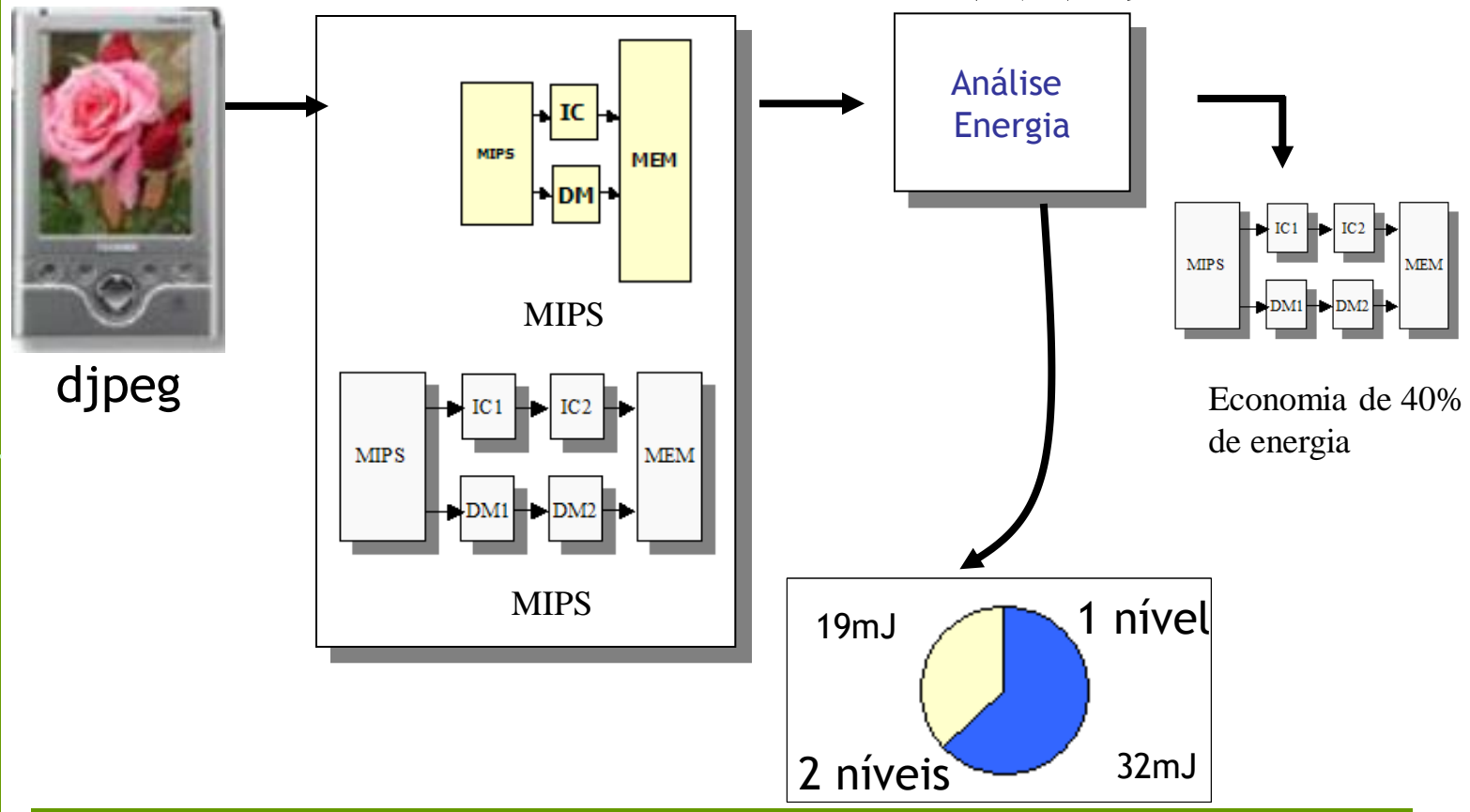
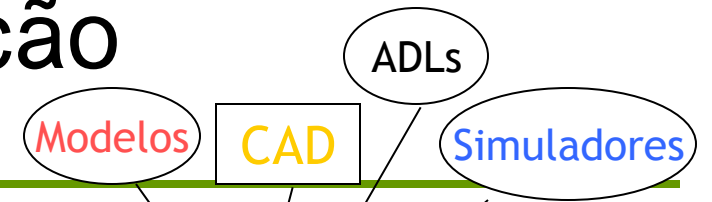
- Agenda
- S. Embarcados
- Motivação
- Abordagens
- ASICs
- FPGAs
- Microcontrolador
- ADLs**
- Aplicações
- Direções



Aplicação



Aplicação



Simuladores de Arquitetura

Abel Guilhermino
agsf@cin.ufpe.br

Agenda
S. Embarcados
Motivação
Abordagens
ASICs
FPGAs
Microcontrolador
ADLs
Aplicações
Direções

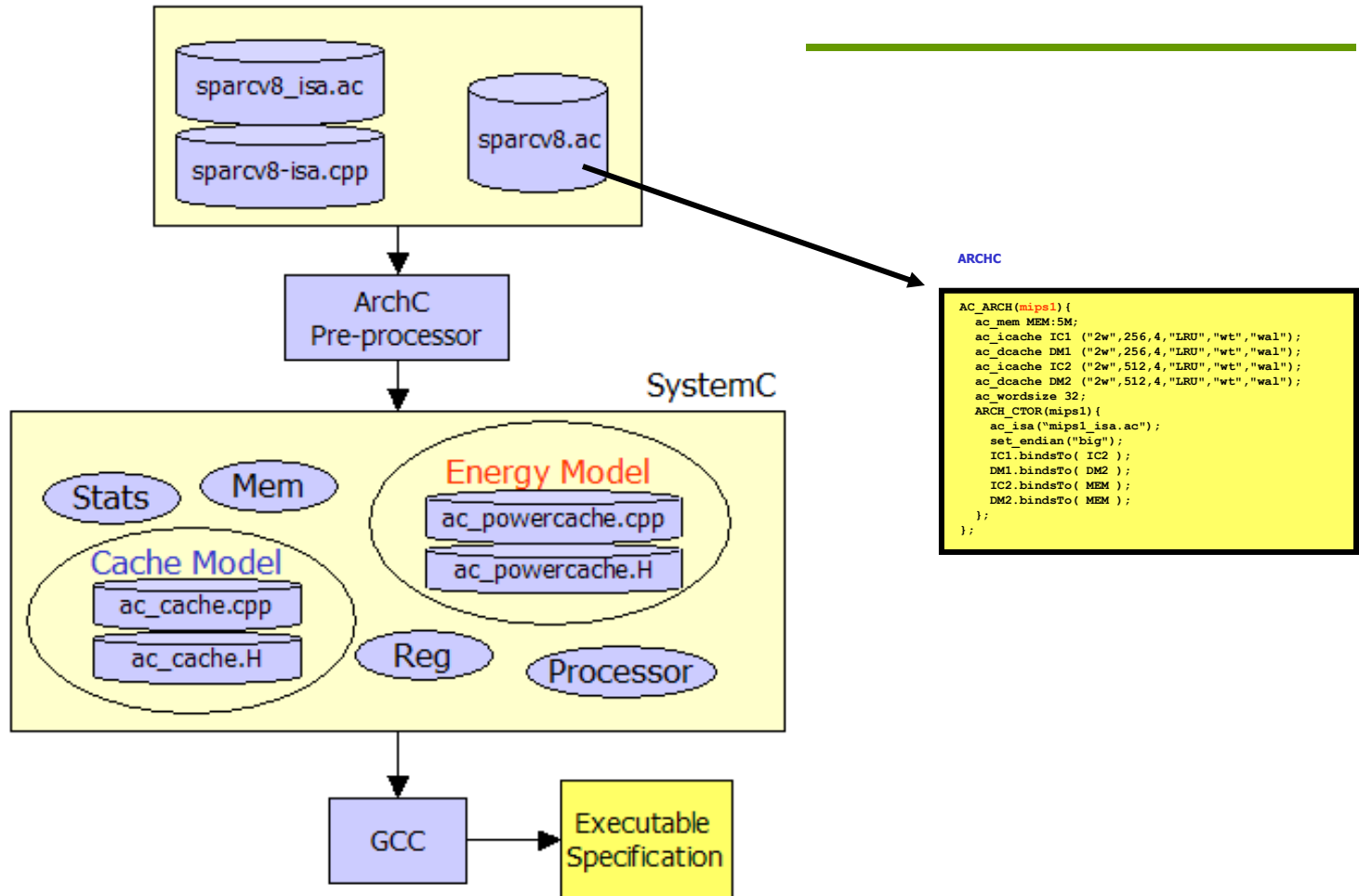
Propriedade	Platune	Warts	Simple Scalar	Wattch	Avalanche	Simple Power	PowerMill	SPICE
Processador	MIPS (R3000)	MIPS SPARC	MIPS	MIPS R10000 Pentium Pro Alpha 21264	Sparc Lite	MIPS (subset)	IP-core	Qualquer
Cache	Sim	Sim	Sim	Sim	Sim	Sim	IP-Core	Qualquer
Consumo CPU	Sim	Não	Não	Sim	Sim	Sim	Sim	Sim
Consumo Cache	Sim	Não	Não	Sim	Sim	Sim	Sim	Sim
SoC	Sim	Não	Não	Não	Não	Sim	Sim	Não
Abstração	Sistema	Sistema	Arquitet.	Arquitet.	Sistema	RTL	Gates	Transistor
Tecnologia	CMOS	CMOS	CMOS	CMOS	CMOS	CMOS	CMOS	CMOS JFETS BJTs
Performance	Sim	Sim	Sim	Sim	Sim	Sim	Sim	Sim
Benchmarks	PowerStone	SPEC92	SPEC95	SPEC95	SPEC95	SPEC95	Circuitos	Circuitos
Compilador	Platune	gcc	gcc	Gcc	gcc	gcc	Synopsys	SPICE
Cycle Accurate	Não	Não	Não	Sim	Não	Sim	Sim	Linear / não linear

Trabalhos Relacionados (ADLs)

Atributos	ArchC	Expression	LISA	nML	MIMOLA
Cycle-accuracy	Sim	Sim	Sim	Não	Não
Suporta Multi-ciclo	Sim	Sim	Sim	Não	Sim
Suporta Pipeline	Sim	Sim	Sim	Não	Sim
Info. Conj. Instruções	Sim	Sim	Sim	Sim	Não
Sup. Compilador	Sim	Sim	Sim	Sim	Sim
Sup. Assemblador	Não	Sim	Sim	Sim	Não
Sup. Hierarquia Memória	Sim	Sim	Sim	Sim	Sim
Co-Verificação	Sim	Não	Não	Não	Não
Format. Comportamento	Sim	Não	Não	Não	Não
Consumo de Energia	Não	Sim	Não	Não	Não

↓
Baseada em SystemC
Cooperação com a UNICAMP
www.archc.org

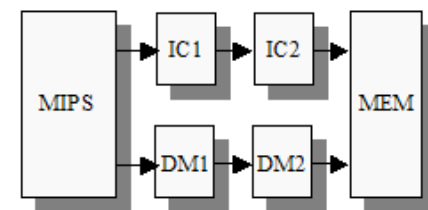
Simulador Executável



Especificação

ARCHC

```
AC_ARCH(mips1) {  
    ac_mem MEM:5M;  
    ac_icache IC1 ("2w",256,4,"LRU","wt","wal");  
    ac_dcache DM1 ("2w",256,4,"LRU","wt","wal");  
    ac_icache IC2 ("2w",512,4,"LRU","wt","wal");  
    ac_dcache DM2 ("2w",512,4,"LRU","wt","wal");  
    ac_wordsize 32;  
    ARCH_CTOR(mips1) {  
        ac_isa("mips1_isa.ac");  
        set_endian("big");  
        IC1.bindsTo( IC2 );  
        DM1.bindsTo( DM2 );  
        IC2.bindsTo( MEM );  
        DM2.bindsTo( MEM );  
    };  
};
```



Centro de Informática

Cin

UFPE

Abel Guilhermeino
agsf@cin.ufpe.br

Agenda

S. Embarcados

Motivação

Abordagens

ASICs

FPGAs

Microcontrolador

ADLs

Aplicações

Direções

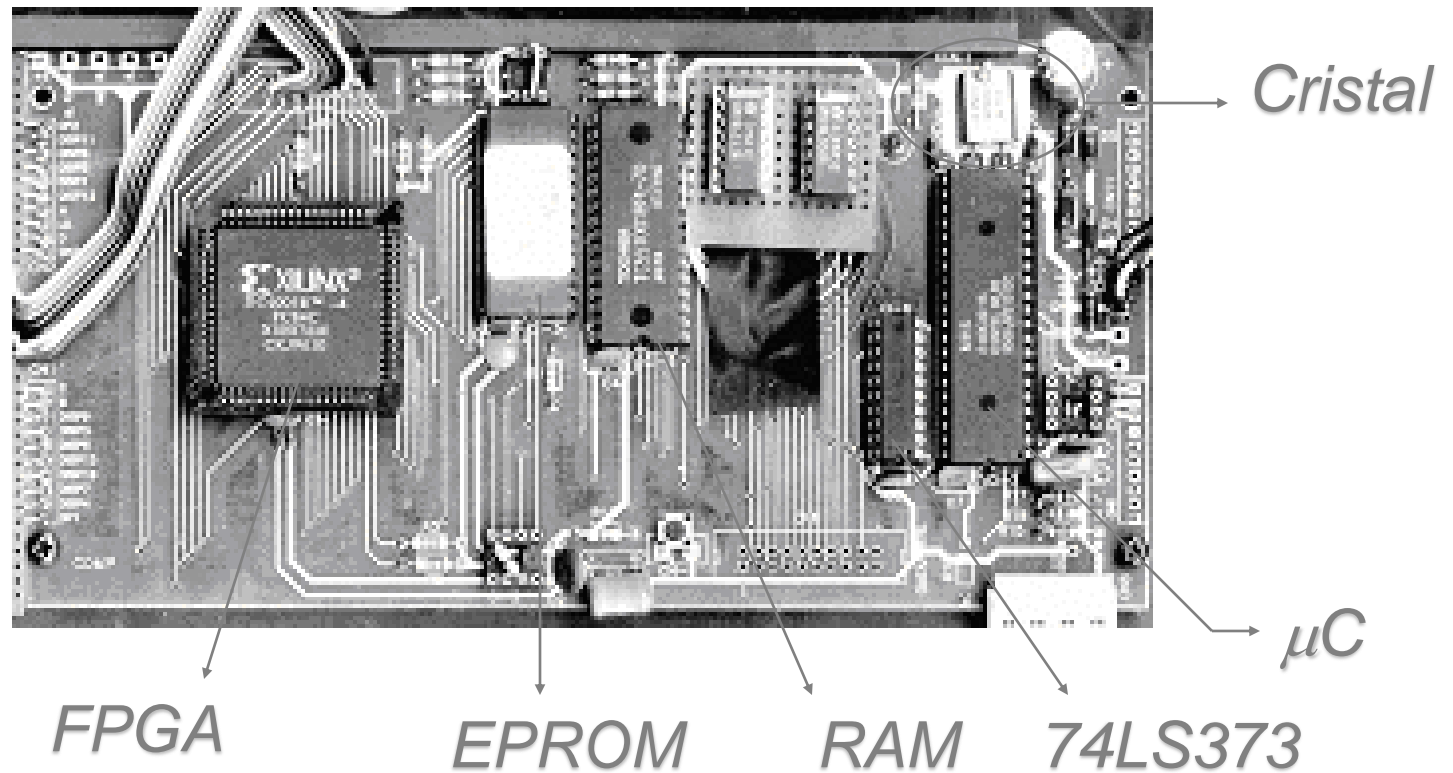
Aplicações

Aplicação

Abel Guilhermeino
agsf@cin.ufpe.br

- Agenda
- S. Embarcados
- Motivação
- Abordagens
- ASICs
- FPGAs
- Microcontrolador
- ADLs
- Aplicações
- Direções

Sistema Biossensor



Aplicação

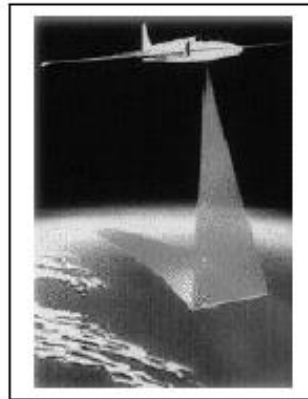
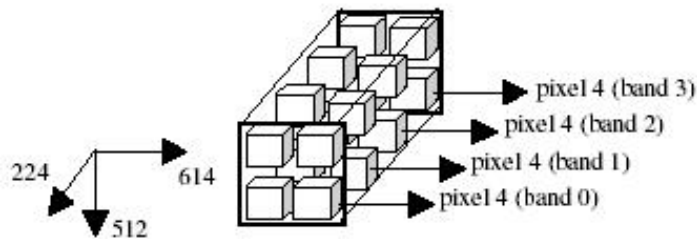
Sistema Automotivo



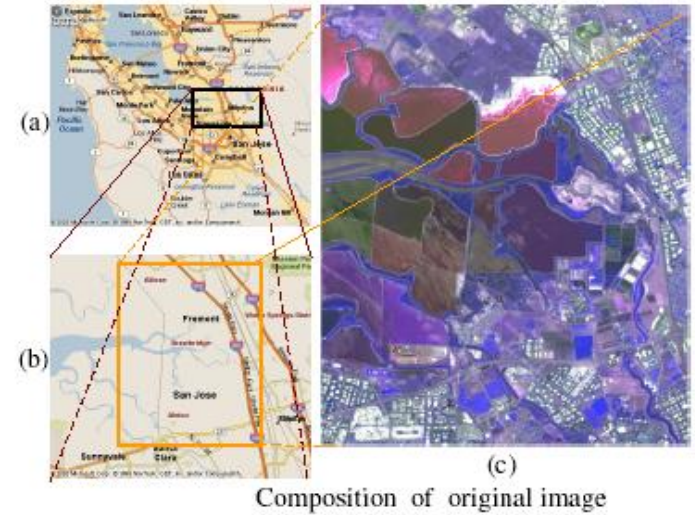
BMW Williams
FPGA (Virtex Pro)

Aplicação

Processamento de Imagem



(AVIRIS - "Whisk Broom" mode)



Composition of original image

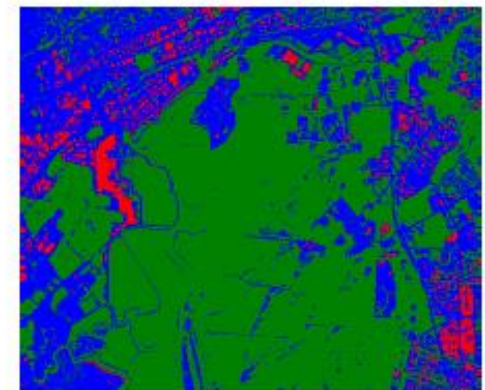
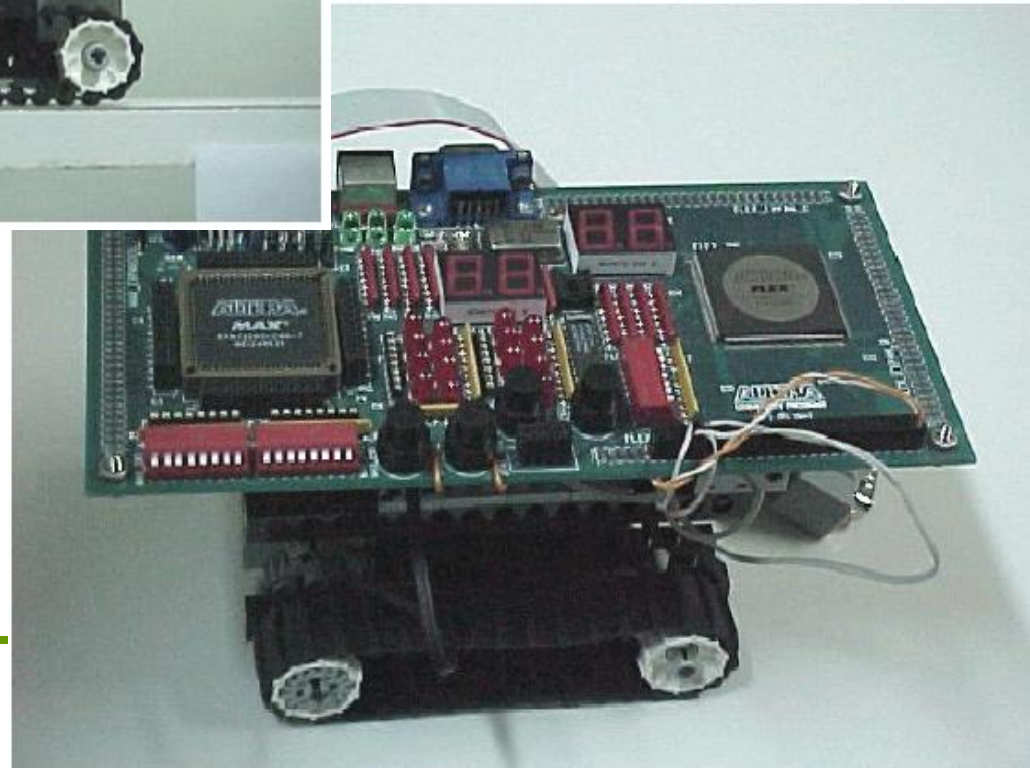
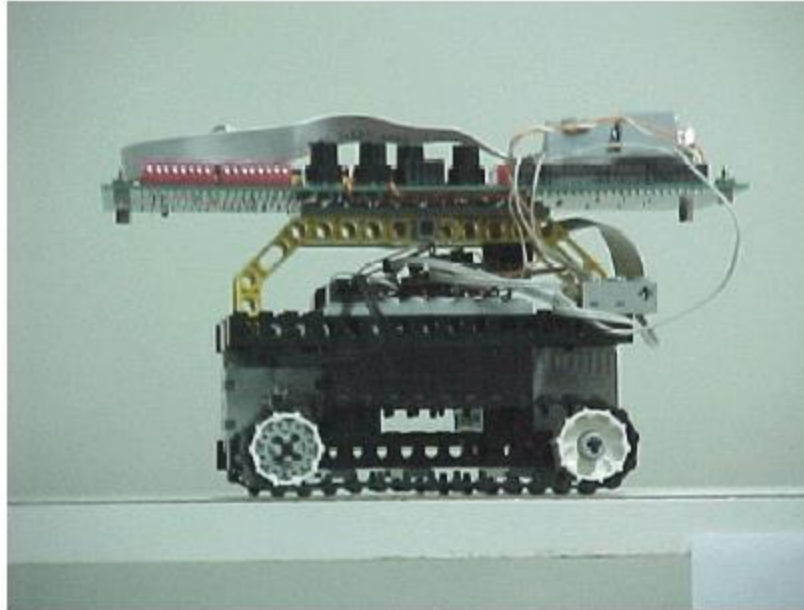


Figura 8. Thematic map of the AVIRIS image
f970620t01p02_r03_sc02.c.rfl

Aplicação



Tendências (Aplicações)

- Desenvolvimento de aplicações dentro de um único chip (*System On Chip*)
 - Desenvolvimento de *drivers* para diversos periféricos
 - Adicionar Complexidade (Inteligência)
- Busca de aplicações para uso de dispositivos reconfiguráveis
 - Processamento Digital de Imagens
- TeleHomeCare
 - Monitoração de Sinais vitais de Pacientes
 - Diagnósticos

Centro de Informática

Cin

UFPE

Abel Guilhermino
agsf@cin.ufpe.br

Agenda

S. Embarcados

Motivação

Abordagens

ASICs

FPGAs

Microcontrolador

ADLs

Aplicações

Direções

Cronograma

Prof. Abel Guilhermino

Cronograma 2006.2

Abel Guilhermino
agsf@cin.ufpe.br

Agenda
S. Embarcados
Motivação
Abordagens
ASICs
FPGAs
Microcontrolador
ADLs
Aplicações
Direções

Data	Descrição
02/08/2006	Apresentação à Disciplina
05/09/2006	Projetos de Sistemas Embarcados (Lista 1)
06/09/2006	Linguagens de Descrição de Hardware
19/09/2006	Linguagens de Descrição de Hardware
20/09/2006	FPGA (Lista 2)
26/09/2006	Linguagem de Descrição de Arquitetura (ADL)
27/10/2006	Linguagem de Descrição de Arquitetura (ADL)
03/11/2006	Linguagem de Descrição de Arquitetura (ADL) (Lista 3)
04/11/2006	Microcontroladores
10/11/2006	Microcontroladores
10/11/2006 quarta CD	Sexta (Microcontroladores) (Lista 4)
15/10 a 21/10	(Congresso SBAC-PAD 2006 - Abel) – Carmelo
24/10/2006	Revisão Prova
25/10/2006	Segundo Exercício Escolar
31/10, 01/11, 07/11	Acompanhamento de Projetos (Abel / Carmelo)
08/11, 14/11, 15/11	Projetos (Abel / Carmelo)

Cronograma 2007.2

Abel Guilhermino
agsf@cin.ufpe.br

Agenda
S. Embarcados
Motivação
Abordagens
ASICs
FPGAs
Microcontrolador
ADLs
Aplicações
Direções

Data	Descrição
02/08/2007	Apresentação à Disciplina
11/09/2007 (12a aula)	Projetos de Sistemas Embarcados
13/09/2007	Projetos de Sistemas Embarcados (Lista 1)
18/09/2007	Linguagens de Descrição de Hardware
20/09/2007	Linguagens de Descrição de Hardware
25/09/2007	Linguagens de Descrição de Hardware (Lista 2)
27/09/2007	Linguagem de Descrição de Arquitetura (ADL)
02/10/2007	Linguagem de Descrição de Arquitetura (ADL)
04/10/2007	Linguagem de Descrição de Arquitetura (ADL) (Lista 3)
09/10/2007	Microcontroladores
11/10/2007	Microcontroladores
16/10/2007	Microcontroladores (Lista 4)
18/10/2007	Definição de Projetos
23/10, 25/10	(Congresso SBAC-PAD 2007 - Abel) – Carmelo Acompanhamento de Projetos (Carmelo)
30/10, 01/11	Acompanhamento de Projetos (Abel / Carmelo)
06/11, 08/11	Acompanhamento de Projetos (Abel / Carmelo)
13/11, 20/11	Projetos (Abel / Carmelo)

Bibliografia

- Embedded System Design - A Unified Hardware/Software Introduction - Frank Vahid / Tony Givargis, (John Wiley & Sons, Inc.), 2002.
- VHDL Descrição e Síntese de Circuitos Digitais, Roberto d'Amore, LTC, 2005.
- www.archc.org, www.pdesigner.org
- Microcontrolador 8051 Detalhado, Denys E. C. Nicolosi, 5a Edição, 2004.